

产品特性

3种功耗模式

均方根(RMS)噪声

低功耗: 24 nV rms (1.17 SPS), 增益=128(典型值255 μ A)

中功率: 20 nV rms (2.34 SPS), 增益=128(典型值355 μ A)

全功率: 23 nV rms (9.4 SPS), 增益=128(典型值930 μ A)

在所有功率模式下, 无噪声分辨率高达22位(增益=1)

输出数据速率

全功率: 9.38 SPS至19,200 SPS

中功率: 2.34 SPS至4800 SPS

低功耗: 1.17 SPS至2400 SPS

轨到轨模拟输入(增益大于1)

50 Hz/60 Hz同时抑制(25 SPS, 单周期建立)

诊断功能(有助于安全完整性等级(SIL)认证)

交叉点多路复用模拟输入

8个差分/15个伪差分输入

可编程增益(1至128)

带隙基准电压源, 漂移最大值为15 ppm/ $^{\circ}$ C (65 μ A)

可编程匹配激励电流

内部时钟振荡器

片内偏置电压发生器

低端功率开关

通用输出

多个滤波器选项

内部温度传感器

自校准和系统校准

传感器开路检测

自动通道序列器

各通道独立配置

电源: 2.7 V至3.6 V和 \pm 1.8 V

独立接口电源

关断模式电流: 5 μ A(最大值)

温度范围: -40° C至 $+105^{\circ}$ C

32引脚LFCSP

3线或4线串行接口

SPI、QSPI™、MICROWIRE™和DSP兼容

SCLK引脚内的施密特触发

ESD: 4 kV

应用

温度测量

压力测量

工业过程控制

仪器仪表

智能发射器

功能框图

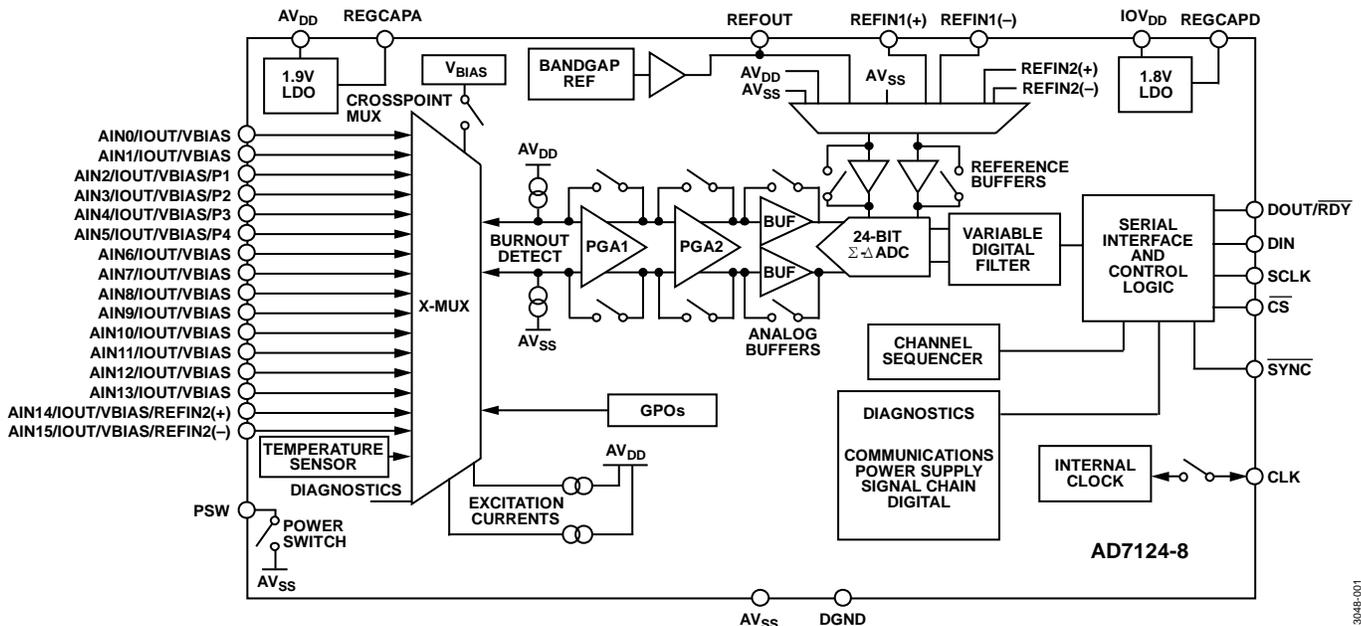


图1.

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2015 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	跨度和失调限值	52
应用	1	系统同步	52
功能框图	1	数字滤波器	53
修订历史	3	Sinc ⁴ 滤波器	53
概述	4	Sinc ³ 滤波器	55
技术规格	5	快速建立模式(Sinc ⁴ + Sinc ¹ 滤波器)	57
时序特性	10	快速建立模式(Sinc ³ + Sinc ¹ 滤波器)	59
绝对最大额定值	13	后置滤波器	61
热阻	13	滤波器选项小结	64
ESD警告	13	诊断	65
引脚配置和功能描述	14	信号链检查	65
术语	17	基准电压检测	65
典型性能参数	18	校准、转换和饱和错误	65
均方根噪声与分辨率	27	过压/欠压检测	65
全功率模式	27	电源监控器	66
中功率模式	30	LDO监控	66
低功耗模式	33	MCLK计数器	66
开始使用	36	SPI SCLK计数器	66
概述	36	SPI读/写错误	67
电源	37	SPI_IGNORE错误	67
数字通信	37	校验和保护	67
配置概述	39	存储器映射校验和保护	67
ADC电路信息	44	开路测试电流	69
模拟输入通道	44	温度传感器	69
可编程增益阵列(PGA)	45	接地和布局布线	70
基准电压源	45	应用信息	71
双极性/单极性配置	46	利用热电偶测量温度	71
数据输出编码	46	利用RTD测量温度	72
激励电流	46	流量计	74
电桥关断开关	46	片内寄存器	76
逻辑输出	47	通信寄存器	77
偏置电压发生器	47	状态寄存器	77
时钟	47	ADC_CONTROL寄存器	78
功耗模式	47	数据寄存器	80
待机和关断模式	48	IO_CONTROL_1寄存器	80
数字接口	48	IO_CONTROL_2寄存器	82
DATA_STATUS	50	ID寄存器	83
串行接口复位(DOUT_RDY_DEL和CS_EN位)	50	错误寄存器	83
复位	50	ERROR_EN寄存器	84
校准	51	MCLK_COUNT寄存器	85

通道寄存器	86	增益寄存器	90
配置寄存器	88	外形尺寸	91
滤波器寄存器	89	订购指南	91
失调寄存器	90		

修订历史

2015年7月—修订版A至修订版B

更改图29	21
更改“单次转换模式”部分	49
更改“校准”部分	51
更改图82	53
更改图90	56
更改图98	58
更改图104	60
更改“基准电压检测”部分和图118	65
更改表	83
更改表71	84
更改表75	89

2015年5月—修订版0至修订版A

更改“利用热电偶测量温度”部分	71
表70中的AINM更改为AINP	83
表73中的REFOUT更改为内部基准电压	86

2015年4月—修订版0：初始版

AD7124-8

概述

AD7124-8是一款适合高精度测量应用的低功耗、低噪声、完整模拟前端。该器件内置一个低噪声24位 Σ - Δ 型模数转换器(ADC)，可配置来提供8个差分输入或15个单端或伪差分输入。片内低噪声级确保ADC中可直接输入小信号。

AD7124-8的主要优势之一是用户可灵活使用三种集成功率模式。功耗、输出数据速率范围和均方根噪声可通过所选功率模式进行定制。该器件还提供多个滤波器选项，确保为用户带来最大的灵活性。

当输出数据速率为25 SPS(单周期建立)时，AD7124-8可实现50 Hz和60 Hz同时抑制，且在较低输出数据速率下，可实现超过80 dB的抑制性能。

AD7124-8提供最高的信号链集成度。该器件内置一个精密低噪声、低漂移内部带隙基准电压源，也可采用内部缓冲的外部差分基准电压。其它主要集成特性包括可编程低漂移激励电流源、开路测试(burnout)电流和偏置电压产生器，利用偏置电压产生器可将某一通道的共模电压设置为 $AV_{DD}/2$ 。低端功率开关允许用户在两次转换之间关断桥式传感器，从而保证系统具有绝对最小功耗。该器件还允许用户采用内部时钟或外部时钟工作。

内置通道序列器可以同时使能多个通道，AD7124-8按顺序在各使能通道上执行转换，简化了与器件的通信。多达16

个通道可随时使能，这些通道具有模拟输入或诊断功能(比如电源检查或基准电压源检查)。这一独特的特性允许诊断和转换交替进行。AD7124-8还支持各通道独立配置。该器件支持8种配置或设置。每种配置包括增益、滤波器类型、输出数据速率、缓冲和基准电压源。用户可在各通道上分配任何设置。

AD7124-8还集成了丰富的诊断功能，作为全面特性组合的一部分。这些诊断功能包括循环冗余校验(CRC)、信号链检查和串行接口检查，从而提供更强大的解决方案。这些诊断功能可减少执行诊断功能所需的外部元件，从而减少对电路板空间的需求，缩短设计时间并节省成本。根据IEC 61508，典型应用的失效模式影响和诊断分析(FMEDA)表明安全失效比例(SFF)大于90%。

该器件采用2.7 V至3.6 V单模拟电源或1.8 V双电源工作。数字电源范围为1.65 V至3.6 V。器件的额定温度范围为-40°C至+105°C。AD7124-8采用32引脚LFCSFP封装。

请注意，在整篇数据手册中，多功能引脚(如DOUT/RDY)由整个引脚名称或引脚的单个功能表示；例如RDY即表示仅与此功能相关。

表1. AD7124-8一览表

参数	低功耗模式	中功率模式	全功率模式
最大输出数据速率	2400 SPS	4800 SPS	19,200 SPS
均方根噪声(增益 = 128)	24 nV	20 nV	23 nV
峰峰值分辨率(1200 SPS, 增益 = 1)	16.4位	17.1位	18位
典型功耗(ADC + PGA)	255 μ A	355 μ A	930 μ A

技术规格

除非另有说明, $AV_{DD} = 2.9\text{ V}$ 至 3.6 V (全功率模式)、 2.7 V 至 3.6 V (中功率和低功耗模式), $IOV_{DD} = 1.65\text{ V}$ 至 3.6 V , $AV_{SS} = DGND = 0\text{ V}$, $REFINx(+)$ = 2.5 V , $REFINx(-)$ = AV_{SS} , 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
模数转换器					
输出数据速率, f_{ADC}					
低功耗模式	1.17		2400	SPS	
中功率模式	2.34		4800	SPS	
全功率模式	9.38		19,200	SPS	
无失码 ²	24			位	$FS^3 > 2$, sinc ⁴ 滤波器
	24			位	$FS^3 > 8$, sinc ³ 滤波器
分辨率					参见均方根噪声与分辨率部分
均方根噪声与更新速率					参见均方根噪声与分辨率部分
积分非线性(INL)					
低功耗模式 ²	-4	±1	+4	FSR的ppm	增益 = 1
	-15	±2	+15	FSR的ppm	增益 > 1, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
	-20	±2	+20	FSR的ppm	增益 > 1, $T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$
中功率式 ²	-4	±1	+4	FSR的ppm	增益 = 1
	-15	±2	+15	FSR的ppm	增益 > 1
全功率模式	-4	±1	+4	FSR的ppm	增益 = 1 ²
	-15	±2	+15	FSR的ppm	增益 > 1
失调误差 ⁴					
校准前		±15		μV	增益 = 1至8
		200/增益		μV	增益 = 16至128
内部校准/系统校准后		与噪声相近			
失调误差漂移与温度的关系 ⁵					
低功耗模式		10		nV/°C	增益 = 1或增益 > 16
		80		nV/°C	增益 = 2至8
		40		nV/°C	增益 = 16
中功率模式		10		nV/°C	增益 = 1或增益 > 16
		40		nV/°C	增益 = 2至8
		20		nV/°C	增益 = 16
全功率模式		10		nV/°C	
增益误差 ^{4,6}					
内部校准前	-0.0025		+0.0025	%	增益 = 1, $T_A = 25^\circ\text{C}$
		-0.3		%	增益 > 1
内部校准后	-0.016	+0.004	+0.016	%	增益 = 2至8, $T_A = 25^\circ\text{C}$
		±0.025		%	增益 = 16至128
系统校准后		与噪声相近			
增益误差漂移与温度的关系		1	2	ppm/°C	
电源抑制					$A_{IN} = 1\text{ V/增益}$, 外部基准电压源
低功耗模式	84			dB	增益 = 2至16
	91			dB	增益 = 1或增益 > 16
中功率式 ²	89			dB	增益 = 2至16
	95			dB	增益 = 1或增益 > 16
全功率模式	96			dB	

AD7124-8

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
共模抑制 ⁷					
DCI时 ²	85	90		dB	$A_{IN} = 1\text{ V}$, 增益 = 1
DCI时	100	105		dB	$A_{IN} = 1\text{ V/增益}$, 增益 = 2或4
	110	115		dB	$A_{IN} = 1\text{ V/增益}$, 增益 ≥ 8
Sinc ³ 、Sinc ⁴ 滤波器 ²					
50 Hz、60 Hz时	120			dB	10 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
50 Hz时	120			dB	50 SPS, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	120			dB	60 SPS, 60 Hz $\pm 1\text{ Hz}$
快速建立滤波器 ²					
50 Hz时	115			dB	第一陷波频率在50 Hz, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	115			dB	第一陷波频率在60 Hz, 60 Hz $\pm 1\text{ Hz}$
后置滤波器 ²					
50 Hz、60 Hz时	130			dB	20 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	130			dB	25 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
串模干扰抑制 ²					
Sinc ⁴ 滤波器					
外部时钟					
50 Hz、60 Hz时	120			dB	10 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	82			dB	50 SPS, REJ60 ⁸ =1, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
50 Hz时	120			dB	50 SPS, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	120			dB	60 SPS, 60 Hz $\pm 1\text{ Hz}$
内部时钟					
50 Hz、60 Hz时	98			dB	10 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	66			dB	50 SPS, REJ60 ⁸ = 1, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
50 Hz时	92			dB	50 SPS, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	92			dB	60 SPS, 60 Hz $\pm 1\text{ Hz}$
Sinc ³ 滤波器					
外部时钟					
50 Hz、60 Hz时	100			dB	10 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	66			dB	50 SPS, REJ60 ⁸ = 1, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
50 Hz时	100			dB	50 SPS, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	100			dB	60 SPS, 60 Hz $\pm 1\text{ Hz}$
内部时钟					
50 Hz、60 Hz时	73			dB	10 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	52			dB	50 SPS, REJ60 ⁸ = 1, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
50 Hz时	68			dB	50 SPS, 50 Hz $\pm 1\text{ Hz}$
60 Hz时	68			dB	60 SPS, 60 Hz $\pm 1\text{ Hz}$
快速建立滤波器					
外部时钟					
50 Hz时	40			dB	第一陷波频率在50 Hz, 50 Hz $\pm 0.5\text{ Hz}$
60 Hz时	40			dB	第一陷波频率在60 Hz, 60 Hz $\pm 0.5\text{ Hz}$
内部时钟					
50 Hz时	24.5			dB	第一陷波频率在50 Hz, 50 Hz $\pm 0.5\text{ Hz}$
60 Hz时	24.5			dB	第一陷波频率在60 Hz, 60 Hz $\pm 0.5\text{ Hz}$
后置滤波器					
外部时钟					
50 Hz、60 Hz时	86			dB	20 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	62			dB	25 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
内部时钟					
50 Hz、60 Hz时	67			dB	20 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$
	50			dB	25 SPS, 50 Hz $\pm 1\text{ Hz}$, 60 Hz $\pm 1\text{ Hz}$

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
模拟输入 ⁹					
差分输入电压范围 ¹⁰		$\pm V_{REF}/\text{增益}$		V	$V_{REF} = \text{REFINx}(+) - \text{REFINx}(-)$, 或内部基准电压
绝对 A_{IN} 电压限值 ²					
增益 = 1(未缓冲)	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V	
增益 = 1(缓冲)	$AV_{SS} + 0.1$		$AV_{DD} - 0.1$	V	
增益 > 1	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V	
模拟输入电流					
增益 > 1或增益 = 1(缓冲)					
低功耗模式					
绝对输入电流		± 1		nA	
差分输入电流		± 0.2		nA	
模拟输入电流漂移		25		pA/°C	
中功率模式					
绝对输入电流		± 1.2		nA	
差分输入电流		± 0.4		nA	
模拟输入电流漂移		25		pA/°C	
全功率模式					
绝对输入电流		± 3.3		nA	
差分输入电流		± 1.5		nA	
模拟输入电流漂移		25		pA/°C	
增益 = 1(未缓冲)					电流随输入电压而变化
绝对输入电流		± 2.65		$\mu\text{A}/\text{V}$	
模拟输入电流漂移		1.1		nA/V/°C	
基准输入					
内部基准电压源					
初始精度	2.5 - 0.2%	2.5	2.5 + 0.2%	V	$T_A = 25^\circ\text{C}$
漂移		2	8	ppm/°C	$T_A = 25^\circ\text{C}$ 至 105°C
输出电流			15	ppm/°C	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$
负载调整率		50		mA	
电源抑制		85		$\mu\text{V}/\text{mA}$	
外部基准电压源					
外部REFIN电压 ²	1	2.5	AV_{DD}	V	$\text{REFIN} = \text{REFINx}(+) - \text{REFINx}(-)$
绝对REFIN电压限值 ²	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V	未缓冲
	$AV_{SS} + 0.1$		$AV_{DD} - 0.1$	V	缓冲
基准输入电流					
缓冲					
低功耗模式					
绝对输入电流		± 0.5		nA	
基准输入电流漂移		10		pA/°C	
中功率模式					
绝对输入电流		± 1		nA	
基准输入电流漂移		10		pA/°C	
全功率模式					
绝对输入电流		± 3		nA	
基准输入电流漂移		10		pA/°C	
未缓冲					
绝对输入电流		± 12		μA	
基准输入电流漂移		6		nA/°C	
常模抑制					与模拟输入相同
共模抑制		100		dB	

AD7124-8

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
激励电流源(IOUT0/IOUT1) 输出电流		50/100/250/ 500/750/1000		μA	任何模拟输入引脚均提供
初始容差		±4		%	T _A = 25°C
漂移		50		ppm/°C	
电流匹配		±0.5		%	IOUT0与IOUT1的匹配, V _{OUT} = 0 V
温漂匹配		5	30	ppm/°C	
电压调整率(AV _{DD})		2		%/V	AV _{DD} = 3 V ± 5%
负载调整率		0.2		%/V	
输出顺从电压 ²	AV _{SS} - 0.05		AV _{DD} - 0.37	V	50 μA/100 μA/250 μA/500 μA 电流源, 2%精度
	AV _{SS} - 0.05		AV _{DD} - 0.48	V	750 μA和1000 μA电流源, 2%精度
偏置电压(V _{BIAS})发生器 V _{BIAS}		AV _{SS} + (AV _{DD} - AV _{SS})/2		V	任何模拟输入引脚均提供
V _{BIAS} 发生器启动时间		6.7		μs/nF	取决于AIN所连的电容
温度传感器 精度		±0.5		°C	
灵敏度		13,584		代码/°C	
低端功率开关 导通电阻(R _{ON})		7	10	Ω	
容许电流 ²			30	mA	连续电流
开路测试电流 A _{IN} 电流		0.5/2/4		μA	模拟输入必须缓冲
数字输出(P1至P4) 输出电压 高(V _{OH})	AV _{DD} - 0.6			V	I _{SOURCE} = 100 μA
低(V _{OL})			0.4	V	I _{SINK} = 100 μA
诊断 电源监控器检测电平 模拟低压差稳压器(ALDO)			1.6	V	AV _{DD} - AV _{SS} ≥ 2.7 V
数字LDO (DLDO)			1.55	V	IOV _{DD} ≥ 1.75 V
基准电压检测电平	0.7		1	V	V _{REF} < 0.7 V时REF_DET_ERR位有效
AINM/AINP过压检测电平	AV _{DD} + 0.04			V	
AINM/AINP欠压检测电平			AV _{SS} - 0.04	V	
内部/外部时钟 内部时钟 频率	614.4 - 5%	614.4	614.4 + 5%	kHz	
占空比		50:50		%	
外部时钟 频率		2.4576		MHz	内部4分频
占空比范围		45:55至55:45		%	
逻辑输入 ² 输入电压 低(V _{INL})			0.3 × IOV _{DD} 0.35 × IOV _{DD} 0.7	V V V	1.65 V ≤ IOV _{DD} < 1.9 V 1.9 V ≤ IOV _{DD} < 2.3 V 2.3 V ≤ IOV _{DD} ≤ 3.6 V
高(V _{INH})	0.7 × IOV _{DD} 0.65 × IOV _{DD} 1.7 2			V V V V	1.65 V ≤ IOV _{DD} < 1.9 V 1.9 V ≤ IOV _{DD} < 2.3 V 2.3 V ≤ IOV _{DD} < 2.7 V 2.7 V ≤ IOV _{DD} ≤ 3.6 V
迟滞	0.2		0.6	V	1.65 V ≤ IOV _{DD} ≤ 3.6 V
输入电流	-1		+1	μA	V _{IN} = IOV _{DD} 或GND
输入电容		10		pF	所有数字输入

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出(包括CLK)					
输出电压 ²					
高(V_{OH})	$IOV_{DD} - 0.35$			V	$I_{SOURCE} = 100 \mu A$ $I_{SINK} = 100 \mu A$
低(V_{OL})			0.4	V	
悬空态漏电流	-1		+1	μA	
浮空态输出电容		10		pF	
数据输出编码		偏移二进制			
系统校准 ²					
校准限值					
满量程			$1.05 \times FS$	V	
零电平	$-1.05 \times FS$			V	
输入跨度	$0.8 \times FS$		$2.1 \times FS$	V	
所有功率模式的电源电压模式					
AV_{DD} 至 AV_{SS}					
低功耗模式	2.7		3.6	V	
中功率模式	2.7		3.6	V	
全功率模式	2.9		3.6	V	
IOV_{DD} 至GND	1.65		3.6	V	
AV_{SS} 至GND	-1.8	0	+1.8	V	
IOV_{DD} 至 AV_{SS}			5.4	V	
电源电流 ^{9,11}					
I_{AVDD} , 外部基准电压源					
低功耗模式					
增益 = 1 ²		125	135	μA	所有缓冲器关闭
增益 = 1, I_{AVDD} 随每个AIN缓冲器而增加 ²		15	20	μA	
增益 = 2至8		205	235	μA	
增益 = 16至128		235	280	μA	
I_{AVDD} 随每个基准电压缓冲器而增加 ²		10	15	μA	所有增益
中功率模式					
增益 = 1 ²		150	165	μA	所有缓冲器关闭
增益 = 1, I_{AVDD} 随每个AIN缓冲器而增加 ²		30	35	μA	
增益 = 2至8		275	325	μA	
增益 = 16至128		330	405	μA	
I_{AVDD} 随每个基准电压缓冲器而增加 ²		20	30	μA	所有增益
全功率模式					
增益 = 1 ²		315	345	μA	所有缓冲器关闭
增益 = 1, I_{AVDD} 随每个AIN缓冲器而增加 ²		90	125	μA	
增益 = 2至8		660	790	μA	
增益 = 16至128		875	1100	μA	
I_{AVDD} 随每个基准电压缓冲器而增加 ²		85	110	μA	所有增益
I_{AVDD} 提高					
由于内部基准电压源 ²		50	65	μA	与功率模式无关; 使用此基准电压源时, 不需要基准电压缓冲器 与功率模式无关
由于 V_{BIAS}^2		15	20	μA	
由于诊断 ²		4	5	μA	
I_{IOVDD}					
低功耗模式		20	35	μA	
中功率模式		25	40	μA	
全功率模式		55	85	μA	

AD7124-8

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
关断电流 ¹¹					与功率模式无关
待机电流					
AVDD		7	12	μA	仅LDO开启
IOVDD		8	17	μA	
关断电流					
AVDD		1	3	μA	
IOVDD		1	2	μA	

¹ 温度范围 = -40°C至+105°C。

² 这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

³ FS为滤波器寄存器中的FS[10:0]位的十进制等效值。

⁴ 经系统或内部零电平校准，此失调误差与选定的编程增益和输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与选定的编程增益和输出数据速率噪声相当的水平。

⁵ 在任意温度下进行重新校准均可以消除这些误差。

⁶ 增益误差适用于正负满量程。在增益 = 1、 $T_A = 25^\circ\text{C}$ 时进行工厂校准。

⁷ 当增益 > 1时，共模电压介于 $(AV_{SS} + 0.1 + 0.1/\text{增益})$ 和 $(AV_{DD} - 0.1 - 0.5/\text{增益})$ 之间。

⁸ REJ60是滤波器寄存器中的一位。当sinc滤波器的第一个陷波频率处于50 Hz时，若REJ60设为1，则陷波频率处于60 Hz。这样可以同时抑制50 Hz和60 Hz噪声。

⁹ 当增益大于1时，模拟输入缓冲器自动使能。缓冲器只能在增益等于1时禁用。

¹⁰ 当 $V_{REF} = (AV_{DD} - AV_{SS})$ 时，低功耗和中功率模式下的典型差分输入为 $0.92 \times V_{REF}/\text{增益}$ ，全功率模式下为 $0.86 \times V_{REF}/\text{增益}$ 。

¹¹ 禁用激励电流和偏置电压发生器时，数字输入等于IOV_{DD}或DGND。

时序特性

除非另有说明， $AV_{DD} = 2.9\text{ V}$ 至 3.6 V (全功率模式)、 2.7 V 至 3.6 V (中功率和低功耗模式)， $IOV_{DD} = 1.65\text{ V}$ 至 3.6 V ，

$AV_{SS} = \text{DGND} = 0\text{ V}$ ，输入逻辑0 = 0 V，输入逻辑1 = IOV_{DD} 。

表3.

参数 ^{1,2}	最小值	典型值	最大值	单位	测试条件/注释
t_3	100			ns	SCLK高电平脉宽
t_4	100			ns	SCLK低电平脉宽
t_{12}					连续读/写操作之间的延迟
	3/MCLK ³			ns	全功率模式
	12/MCLK			ns	中功率模式
	24/MCLK			ns	低功耗模式
t_{13}				μs	DOUT/RDY为低电平且下一转换结果可用时的DOUT/RDY高电平时间
		6		μs	全功率模式
		25		μs	中功率模式
		50		μs	低功耗模式
t_{14}					SYNC低电平脉冲宽度
	3/MCLK			ns	全功率模式
	12/MCLK			ns	中功率模式
	24/MCLK			ns	低功耗模式
读操作					
t_1	0		80	ns	$\overline{\text{CS}}$ 下降沿到DOUT/RDY有效时间
t_2^4	0		80	ns	SCLK有效沿 ⁵ 到数据有效延迟
$t_5^{6,7}$	10		80	ns	$\overline{\text{CS}}$ 无效沿后的总线释放时间
t_6	0			ns	SCLK无效沿到 $\overline{\text{CS}}$ 无效沿
t_7^8					SCLK无效沿到DOUT/RDY高电平
	10			ns	DOUT $\overline{\text{RDY}}$ _DEL位清0， $\overline{\text{CS}}$ _EN位清0
	110			ns	DOUT $\overline{\text{RDY}}$ _DEL位置1， $\overline{\text{CS}}$ _EN位清0
t_{7A}^7	t_5			ns	$\overline{\text{CS}}$ 无效沿后的数据有效时间， $\overline{\text{CS}}$ _EN位置1

参数 ^{1,2}	最小值	典型值	最大值	单位	测试条件/注释
写操作					
t_8	0			ns	\overline{CS} 下降沿到SCLK有效沿 ⁵ 建立时间
t_9	30			ns	数据有效到SCLK沿建立时间
t_{10}	25			ns	数据有效到SCLK沿保持时间
t_{11}	0			ns	\overline{CS} 上升沿到SCLK沿保持时间

¹ 这些技术规格在初次发布期间经过取样测试，以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5 \text{ ns}$ (10%至90% IOV_{DD})并从 $IOV_{DD}/2$ 电平起开始计时。

² 参见图3、图4、图5和图6。

³ MCLK是主时钟频率。

⁴ 这些技术规格是采用图2所示负载电路的测量结果，定义为输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁵ SCLK有效沿为SCLK的下降沿。

⁶ 这些技术规格来源于测量时间，该时间为采用图2所示负载电路时数据输出改变0.5 V所需的时间。接下来，通过对测量结果进行反向推断，可以消除对25 pF电容充、放电的影响。时序特性所给出的时间是该器件真正的总线释放时间，因而与外部总线负载电容无关。

⁷ 在读取ADC之后，RDY返回高电平。在单次转换模式和连续转换模式下，当RDY为高电平时，如有必要，可以再次读取同一数据，但后续读取操作的发生时间不能接近下一次输出更新时间。在连续读取模式下，数字字只能被读取一次。

⁸ 当 $\overline{CS_EN}$ 位清0时，在SCLK的最后一个无效沿之后，DOUT/RDY引脚从DOUT功能变为RDY功能。当 $\overline{CS_EN}$ 置1时，DOUT引脚继续输出数据的LSB，直至 \overline{CS} 无效沿。

时序图

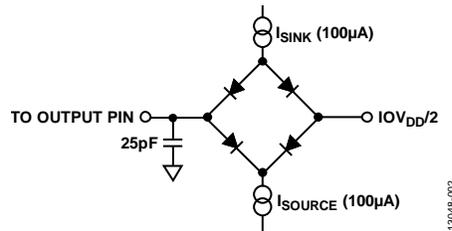


图2. 时序特性的负载电路

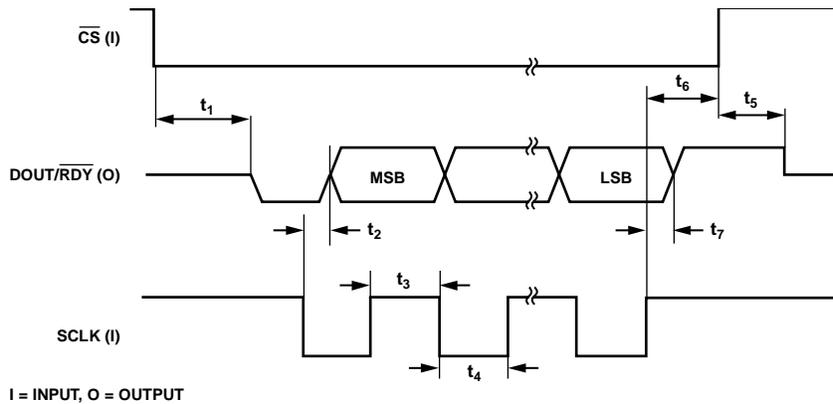


图3. 读取周期时序图($\overline{CS_EN}$ 位清0)

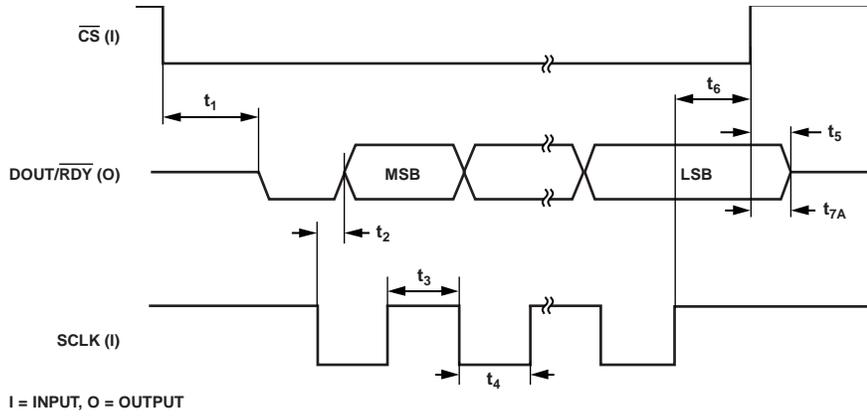


图4. 读取周期时序图($\overline{CS_EN}$ 位置1)

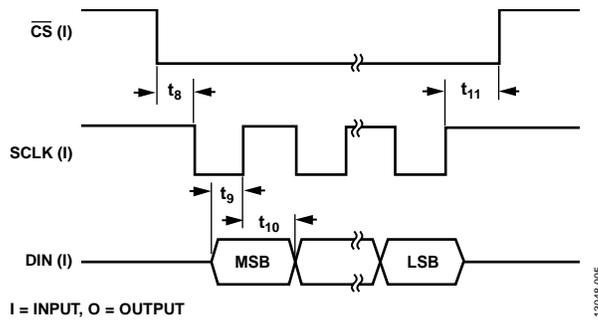


图5. 写入周期时序图

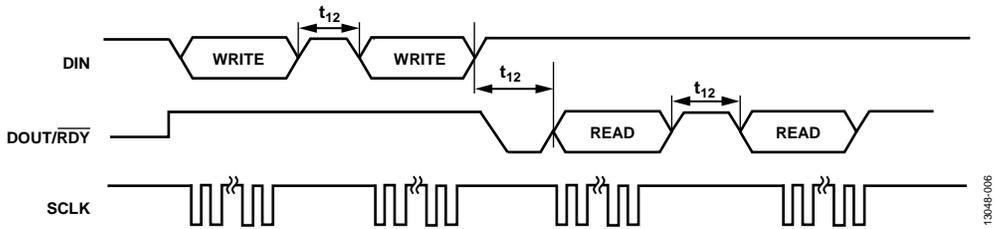


图6. 连续串行操作之间的延迟

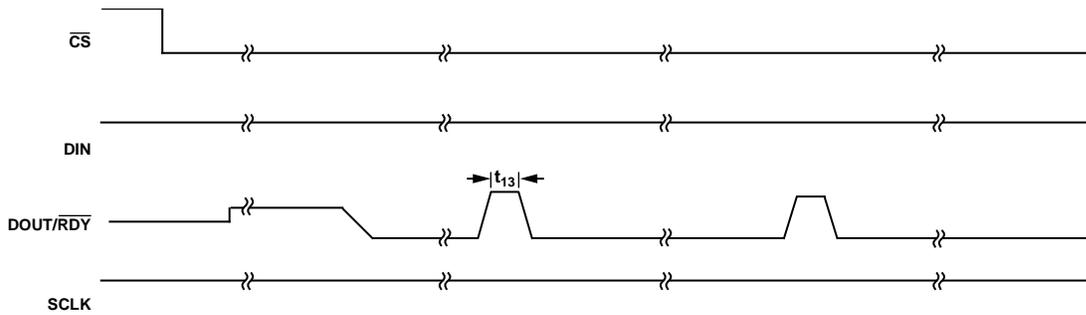


图7. 当DOUT/RDY初始为低电平且下一转换结果可用时的DOUT/RDY高电平时间

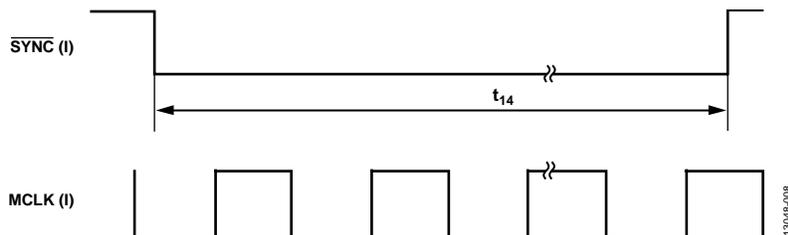


表8. SYNC脉冲宽度

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
AV_{DD} 至 AV_{SS}	-0.3 V 至 +3.96 V
IOV_{DD} 至 DGND	-0.3 V 至 +3.96 V
IOV_{DD} 至 DGND	-0.3 V 至 +3.96 V
IOV_{DD} 至 AV_{SS}	-0.3 V 至 +5.94 V
AV_{SS} 至 DGND	-1.98 V 至 +0.3 V
模拟输入电压至 AV_{SS}	-0.3 V 至 $AV_{DD} + 0.3$ V
基准输入电压至 AV_{SS}	-0.3 V 至 $AV_{DD} + 0.3$ V
数字输入电压至 DGND	-0.3 V 至 $IOV_{DD} + 0.3$ V
数字输出电压至 DGND	-0.3 V 至 $IOV_{DD} + 0.3$ V
AINx/数字输入电流	10 mA
工作温度范围	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
最高结温	150°C
引脚温度，焊接	
温度	260°C
ESD 额定值	
人体模型 (HBM)	4 kV
场感应充电器件模型 (FICDM)	1250 V
机器模型	400 V

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
32引脚 LFCSP	32.5	32.71	°C/W

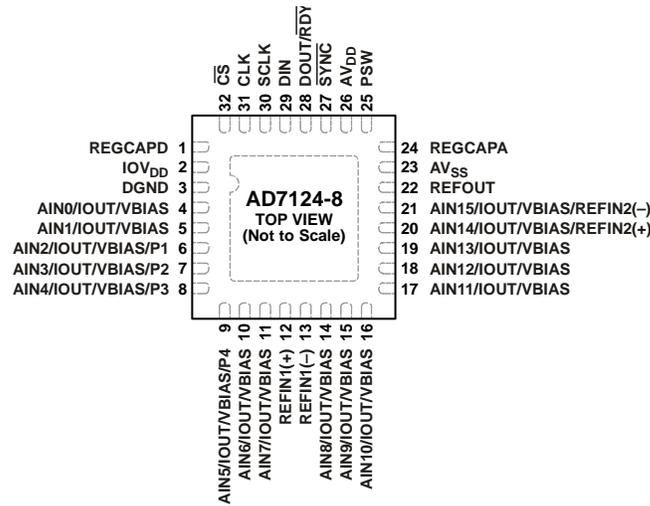
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. CONNECT EXPOSED PAD TO AV_{SS}.

图9. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	REGCAPD	数字LDO稳压器输出。用一个0.1 μF电容将此引脚去耦至DGND。
2	IOV _{DD}	串行接口电源电压，1.65 V至3.6 V。IOV _{DD} 独立于AV _{DD} 。因此，举例来说，串行接口可以工作在1.65 V，而AV _{DD} 为3.6 V。
3	DGND	数字地参考点。
4	AIN0/IOUT/VBIAS	模拟输入0/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
5	AIN1/IOUT/VBIAS	模拟输入1/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
6	AIN2/IOUT/VBIAS/P1	模拟输入2/内部激励电流源的输出/偏置电压/通用输出1。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以配置为通用输出位，以AV _{SS} 与AV _{DD} 之间的电压为基准。
7	AIN3/IOUT/VBIAS/P2	模拟输入3/内部激励电流源的输出/偏置电压/通用输出2。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以配置为通用输出位，以AV _{SS} 与AV _{DD} 之间的电压为基准。
8	AIN4/IOUT/VBIAS/P3	模拟输入4/内部激励电流源的输出/偏置电压/通用输出3。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以配置为通用输出位，以AV _{SS} 与AV _{DD} 之间的电压为基准。

引脚编号	引脚名称	描述
9	AIN5/IOUT/VBIAS/P4	模拟输入5/内部激励电流源的输出/偏置电压/通用输出4。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以配置为通用输出位，以 AV_{SS} 与 AV_{DD} 之间的电压为基准。
10	AIN6/IOUT/VBIAS	模拟输入6/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
11	AIN7/IOUT/VBIAS	模拟输入7/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
12	REFIN1(+)	正基准电压输入。可以在REFIN1(+)与REFIN1(-)之间施加一个外部基准电压。REFIN1(+)可位于 AV_{DD} 和 $AV_{SS} + 1V$ 之间。标称基准电压(REFIN1(+)-REFIN1(-))为2.5V，但该器件可以采用1V至 AV_{DD} 范围内的基准电压工作。
13	REFIN1(-)	负基准电压输入。该基准电压输入可以是 AV_{SS} 与 $AV_{DD} - 1V$ 之间的任意值。
14	AIN8/IOUT/VBIAS	模拟输入8/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
15	AIN9/IOUT/VBIAS	模拟输入9/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
16	AIN10/IOUT/VBIAS	模拟输入10/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
17	AIN11/IOUT/VBIAS	模拟输入11/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
18	AIN12/IOUT/VBIAS	模拟输入12/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
19	AIN13/IOUT/VBIAS	模拟输入13/内部激励电流源的输出/偏置电压。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。
20	AIN14/IOUT/VBIAS/ REFIN2(+)	模拟输入14/内部激励电流源的输出/偏置电压/正基准输入。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以用作REFIN2(±)的正基准电压输入。REFIN2(+)可位于 AV_{DD} 和 $AV_{SS} + 1V$ 之间。标称基准电压(REFIN2(+)-REFIN2(-))为2.5V，但该器件可以采用1V至 AV_{DD} 范围内的基准电压工作。

AD7124-8

引脚编号	引脚名称	描述
21	AIN15/IOUT/VBIAS/ REFIN2(-)	模拟输入15/内部激励电流源的输出/偏置电压/负基准输入。此输入引脚通过配置寄存器配置为差分或伪差分输入的正端或负端。或者，内部可编程激励电流源可通过此引脚提供。可以将IOUT0或IOUT1切换至此输出。此引脚可产生位于两个模拟电源轨中间的偏置电压。此引脚也可以用作REFIN2(±)的负基准电压输入。该基准电压输入可以是 AV_{SS} 与 $AV_{DD} - 1V$ 之间的任意值。
22	REFOUT	内部基准电压输出。内部2.5V基准电压源的缓冲输出可通过此引脚提供。
23	AV_{SS}	模拟电源电压。 AV_{DD} 上的电压以 AV_{SS} 为基准。中功率或低功耗模式下， AV_{DD} 与 AV_{SS} 的差值必须介于2.7V和3.6V之间；全功率模式下必须介于2.9V和3.6V之间。 AV_{SS} 可以低于0V以向AD7124-8提供双电源。例如， AV_{SS} 可以接-1.8V， AV_{DD} 可以接+1.8V，从而为ADC提供±1.8V电源。
24	REGCAPA	模拟LDO稳压器输出。用一个0.1μF电容将此引脚去耦至 AV_{SS} 。
25	PSW	低端功率开关，接 AV_{SS} 。
26	AV_{DD}	模拟电源电压，相对于 AV_{SS} 。
27	SYNC	同步输入。此引脚是一个逻辑输入，使用多个AD7124-8器件时，它可以使数字滤波器与模拟调制器同步。当SYNC为低电平时，数字滤波器的节点、滤波器控制逻辑和校准控制逻辑复位，模拟调制器保持复位状态。SYNC不影响数字接口，但若为低电平，则会将RDY复位到高电平状态。
28	DOUT/RDY	串行数据输出/数据就绪输出引脚。DOUT/RDY可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。此外，DOUT/RDY可以用作数据就绪引脚。当引脚的电平为低时，表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿还可以用作处理器的中断，表示存在有效数据。采用外部串行时钟时，可以利用DOUT/RDY引脚读取数据。当CS为低电平时，数据/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。
29	DIN	ADC输入移位寄存器的串行数据输入。输入移位寄存器中的数据传输至ADC内的控制寄存器，通信寄存器的寄存器选择位确定适当的寄存器。
30	SCLK	串行时钟输入。用于与ADC进行数据传输。SCLK引脚具有施密特触发式输入，因而该接口适合光隔离应用。该串行时钟可以是连续式时钟，所有数据均在连续的脉冲串中传输。或者，它也可以是非连续式时钟，来往ADC的信息以较小的数据包形式传输。
31	CLK	时钟输入/时钟输出。通过此引脚可提供内部时钟，或者禁用内部时钟。当内部时钟被禁用后，可以采用外部时钟驱动该ADC。这样，多个ADC可以由同一时钟驱动，从而执行同步转换。
32	CS	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC。在串行总线上有多个器件的系统中，利用CS选择ADC；或者在与该器件通信时，将CS用作帧同步输入。不使用串行外设接口(SPI)诊断功能时，CS可以通过硬连线接低电平，使ADC以三线模式工作，通过SCLK、DIN和DOUT与器件接口。
	EP	裸露焊盘。裸露焊盘应接 AV_{SS} 。

术语

AINP

AINP指正模拟输入。

AINM

AINM指负模拟输入。

积分非线性(INL)

转换结果编码偏离通过其传递函数端点的直线的最大偏差。传递函数端点是指零点(请勿与双极性零点混淆)和满量程点, 零点比第一个编码的跃变点低0.5 LSB(000 ... 000至000 ... 001), 满量程点比最后一个编码的跃变点高0.5 LSB(111 ... 110到111 ... 111)。该误差用满量程范围的ppm表示。

增益误差

增益误差指最后一个编码的跃变点(111 ... 110到111 ... 111)与理想AINP电压($A_{INM} + V_{REF}/增益 - 3/2 \text{ LSB}$)的偏差。增益误差对单极性和双极性模拟输入范围均适用。

增益误差是衡量ADC跨度误差的指标。它包括满量程误差, 但不包括零电平误差。对于单极性输入范围, 它定义为满量程误差减去单极性失调误差; 对于双极性输入范围, 它定义为满量程误差减去双极性零点误差。

失调误差

在单极性模式下, 失调误差是指第一个编码的跃变点与理想AINP电压($A_{INM} + 0.5 \text{ LSB}$)的偏差。

在双极性模式下, 失调误差是指中间电平编码的跃变点(0111 ... 111到1000 ... 000)与理想AINP电压($A_{INM} - 0.5 \text{ LSB}$)的偏差。

失调校准范围

在系统校准模式下, [AD7124-8](#)相对于模拟输入校准失调。失调校准范围规格定义[AD7124-8](#)可以接受并且仍能精确校准失调的电压范围。

满量程校准范围

满量程校准范围是指[AD7124-8](#)在系统校准模式下可以接受并且仍能正确校准满量程的电压范围。

输入跨度

在系统校准方案中, 两个按顺序施加于[AD7124-8](#)模拟输入的电压定义模拟输入范围。输入跨度规格定义[AD7124-8](#)可以接受并且仍能精确校准增益的最小和最大输入电压(从0到满量程之间)。

典型性能参数

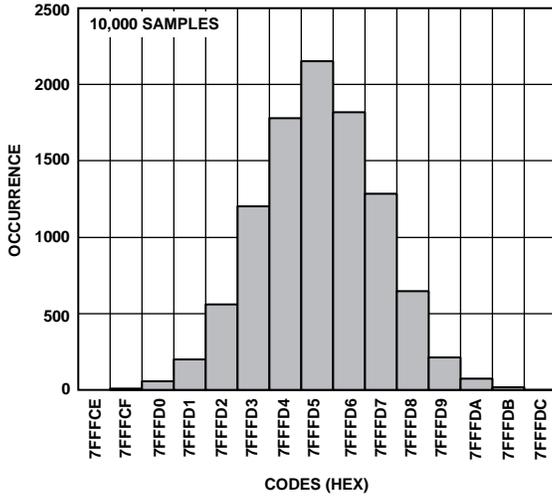


图10. 噪声直方图(全功率模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 1)

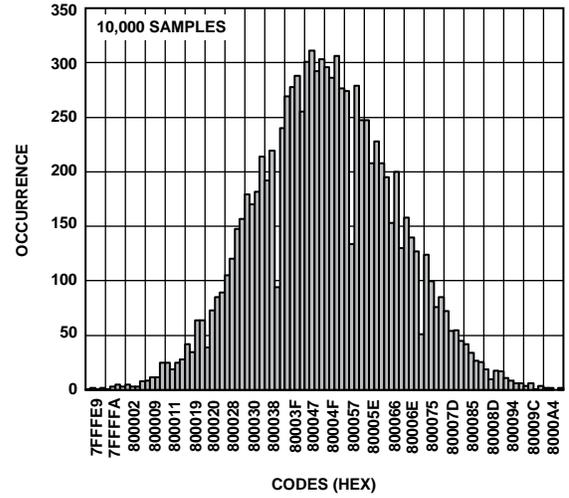


图13. 噪声直方图(全功率模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 128)

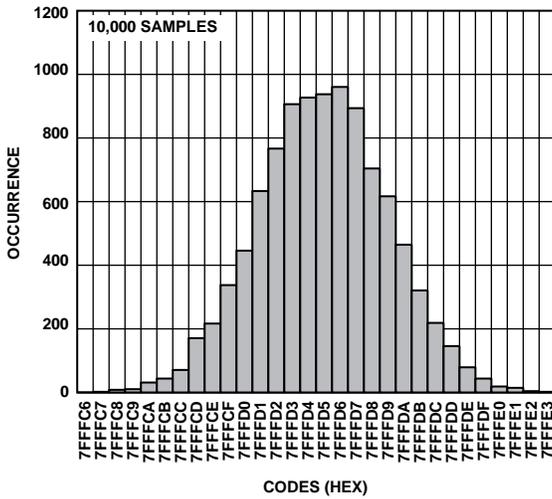


图11. 噪声直方图(中功率模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 1)

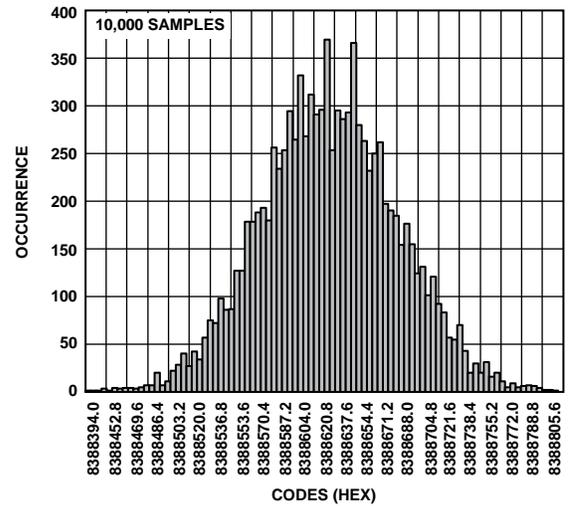


图14. 噪声直方图(中功率模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 128)

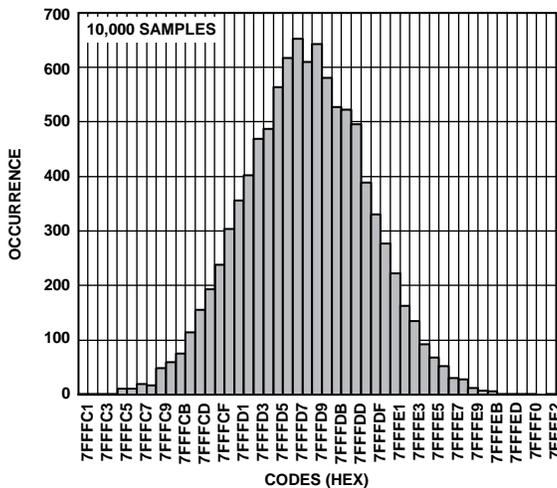


图12. 噪声直方图(低功耗模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 1)

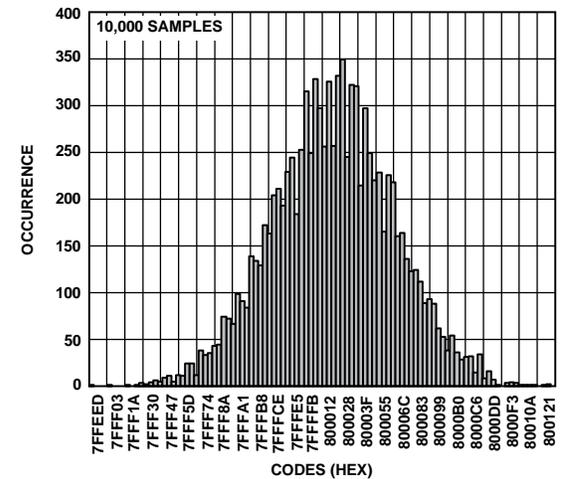


图15. 噪声直方图(低功耗模式, 后置滤波器, 输出数据速率 = 25 SPS, 增益 = 128)

13048-010

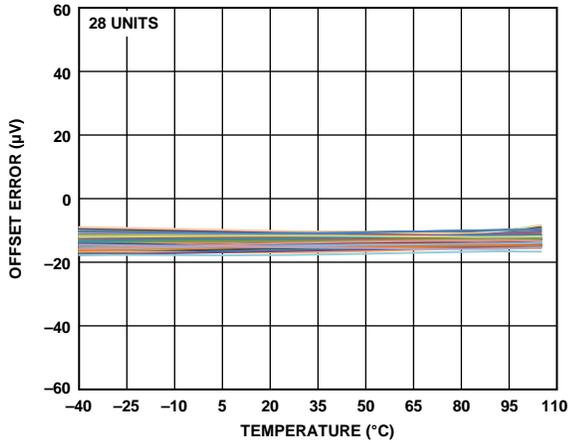
13048-011

13048-012

13048-013

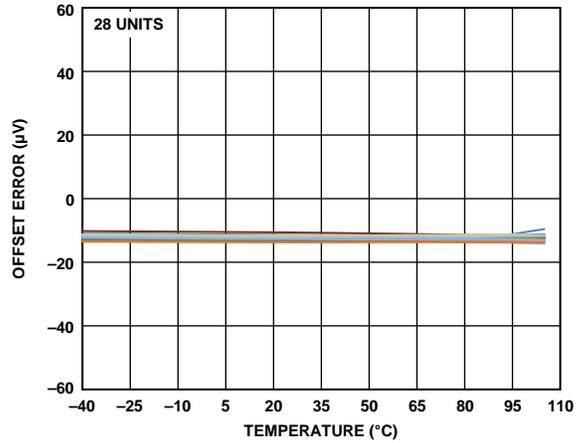
13048-014

13048-015



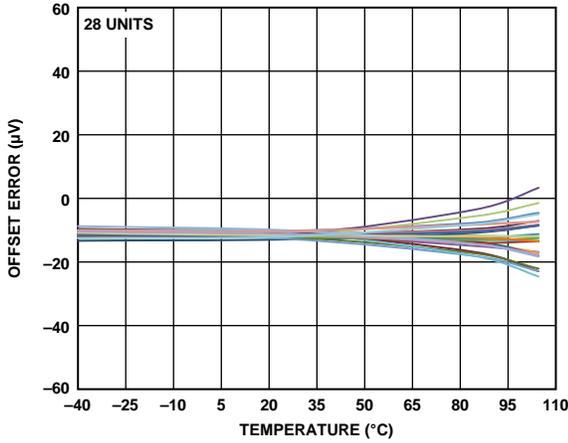
13048-016

图16. 折合到输入端的失调误差与温度的关系
(增益 = 8, 全功率模式)



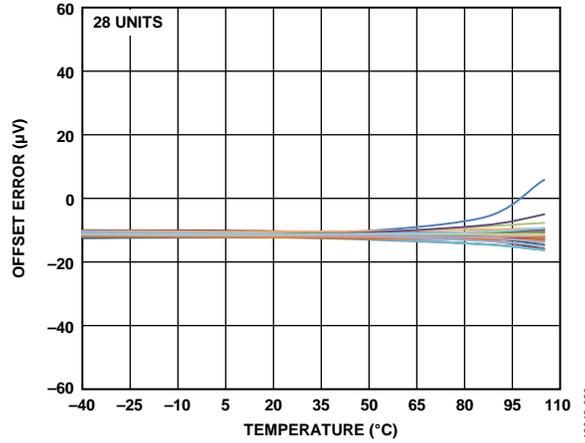
13048-019

图19. 折合到输入端的失调误差与温度的关系
(增益 = 16, 全功率模式)



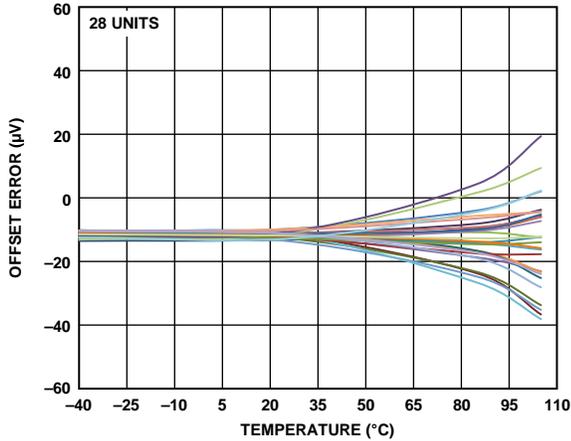
13048-017

图17. 折合到输入端的失调误差与温度的关系
(增益 = 8, 中功率模式)



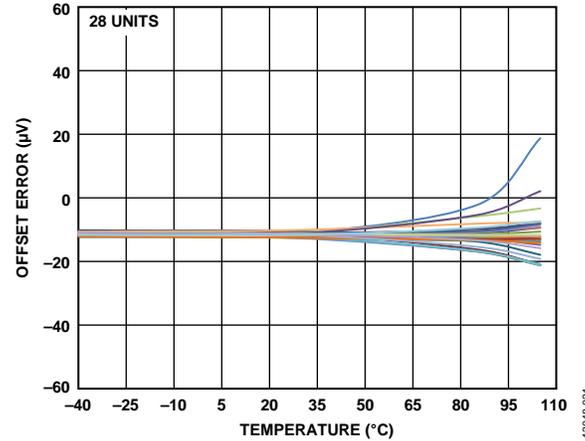
13048-020

图20. 折合到输入端的失调误差与温度的关系
(增益 = 16, 中功率模式)



13048-018

图18. 折合到输入端的失调误差与温度的关系
(增益 = 8, 低功耗模式)



13048-021

图21. 折合到输入端的失调误差与温度的关系
(增益 = 16, 低功耗模式)

AD7124-8

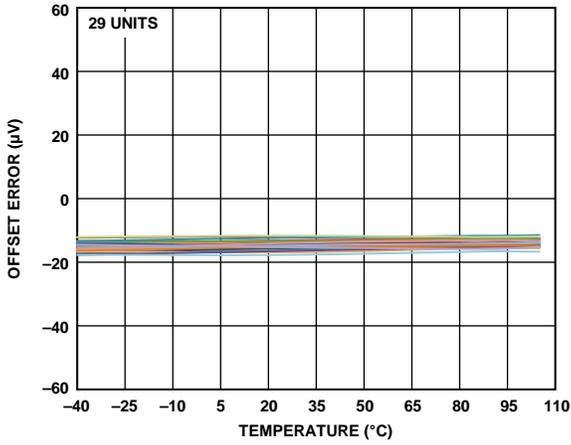


图22. 折合到输入端的失调误差与温度的关系 (增益 = 1, 模拟输入缓冲器使能)

13048-022

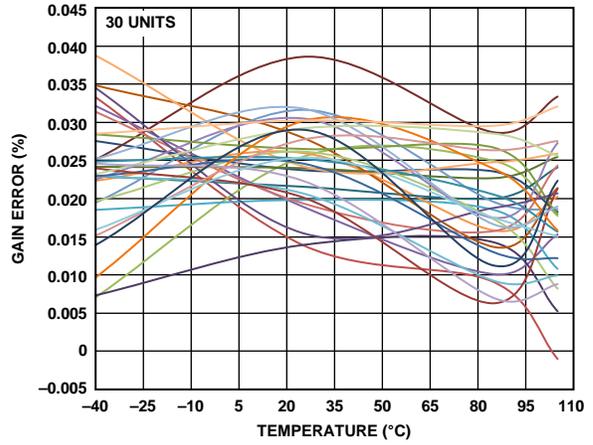


图25. 折合到输入端的增益误差与温度的关系 (增益 = 16)

13048-025

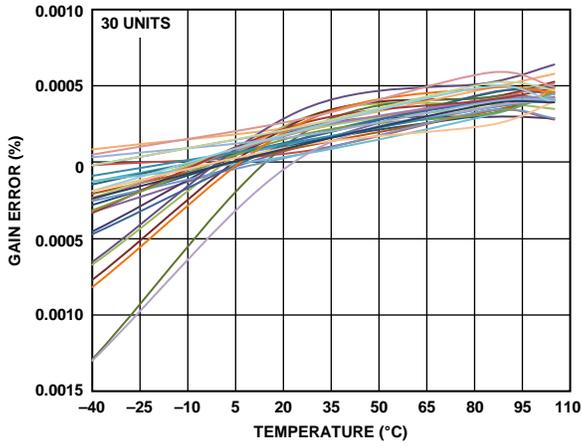


图23. 折合到输入端的增益误差与温度的关系 (增益 = 1)

13048-023

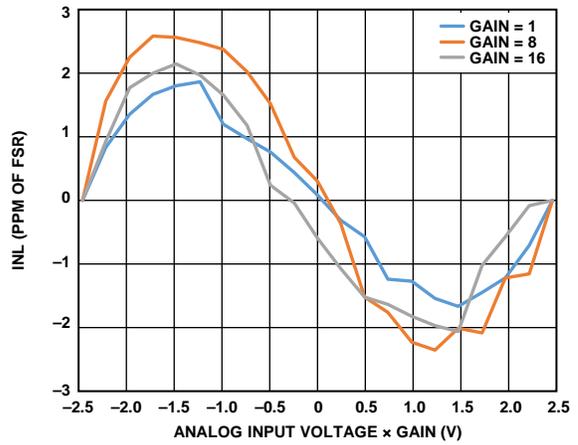


图26. INL与差分输入信号 (模拟输入 × 增益) 的关系, ODR = 50 SPS, 外部2.5 V基准电压源

13048-026

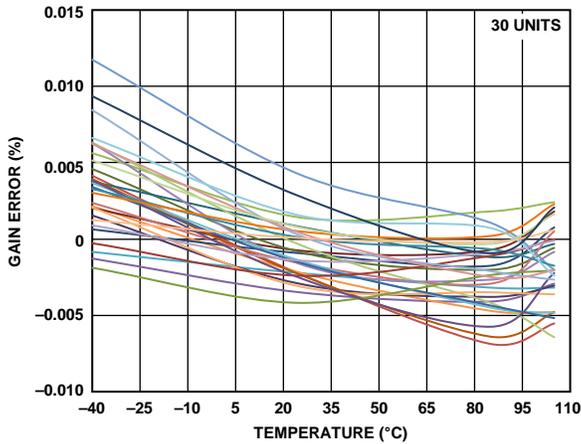


图24. 折合到输入端的增益误差与温度的关系 (增益 = 8)

13048-024

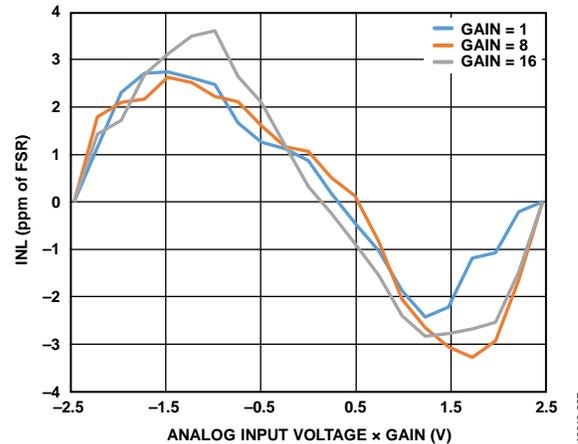


图27. INL与差分输入信号 (模拟输入 × 增益) 的关系, ODR = 50 SPS, 内部基准电压源

13048-227

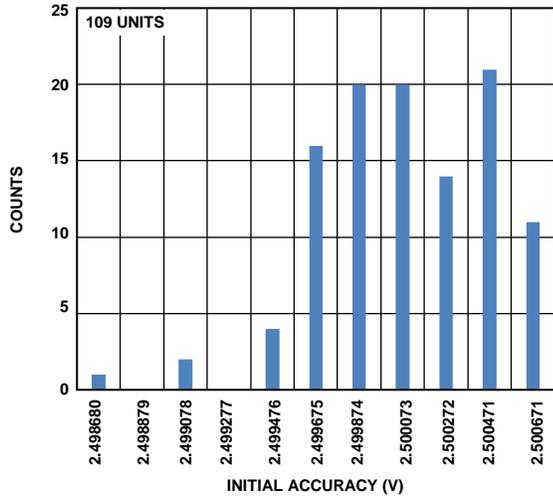


图28. 内部基准电压直方图

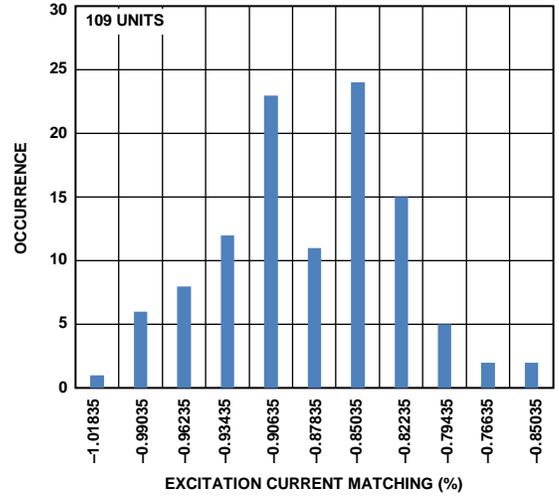


图31. IOUTx电流初始匹配直方图(500 μ A)

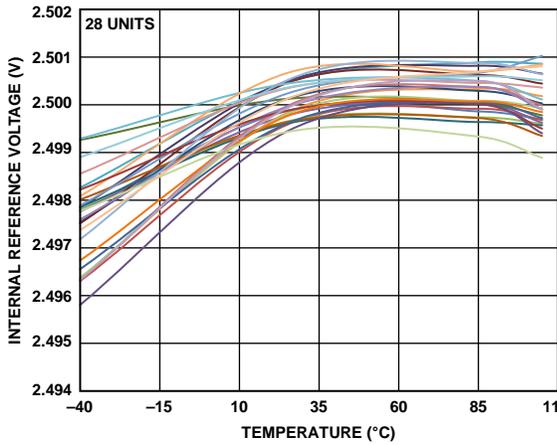


图29. 内部基准电压与温度的关系

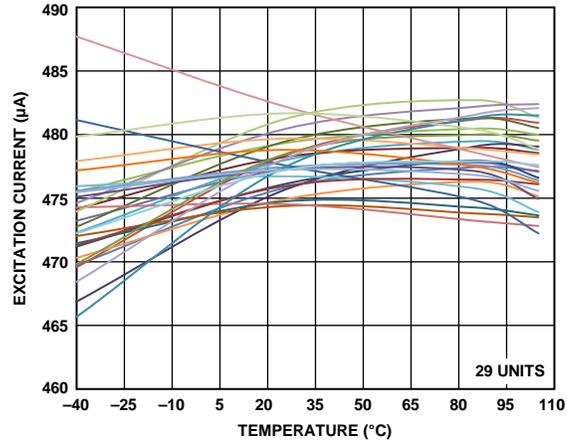


图32. 激励电流漂移(500 μ A)

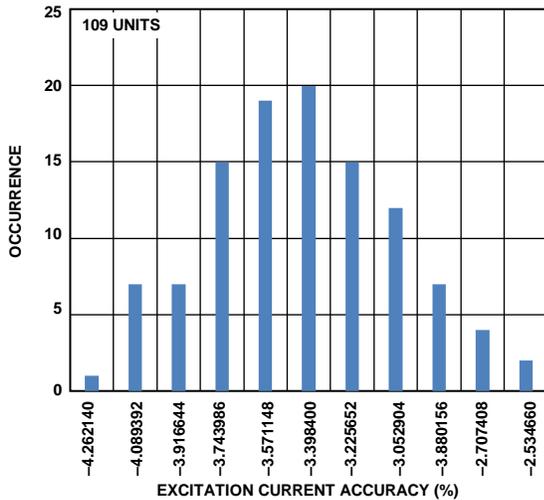


图30. IOUTx电流初始精度直方图(500 μ A)

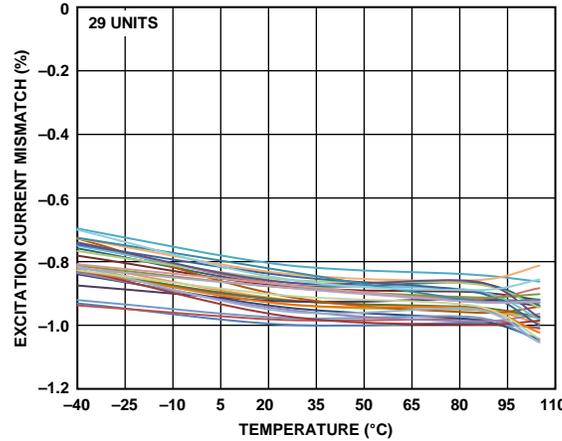


图33. 激励电流漂移匹配(500 μ A)

AD7124-8

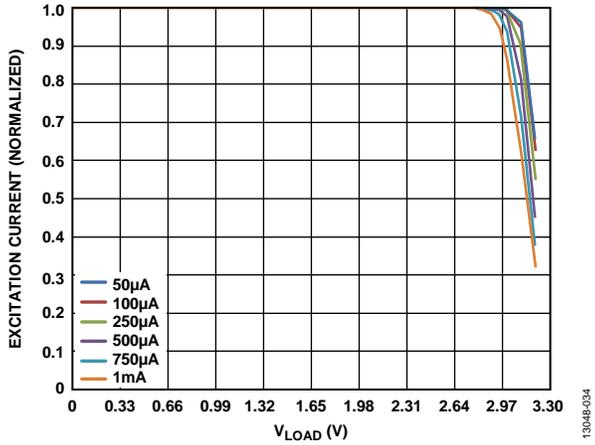


图34. 输出顺从电压($AV_{DD} = 3.3 V$)

13048-034

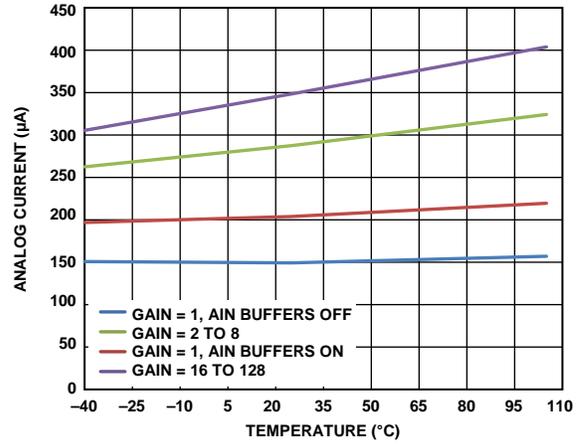


图37. 模拟电流与温度的关系(中功率模式)

13048-037

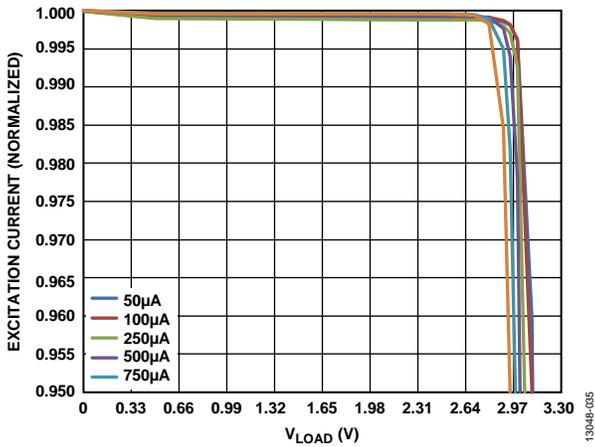


图35. 输出顺从电压($AV_{DD} = 3.3 V$)

13048-035

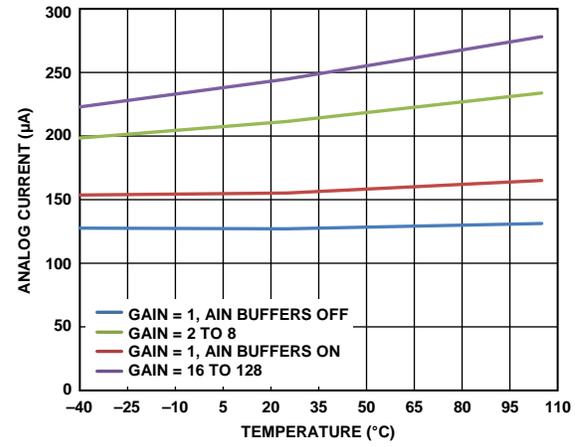


图38. 模拟电流与温度的关系(低功耗模式)

13048-038

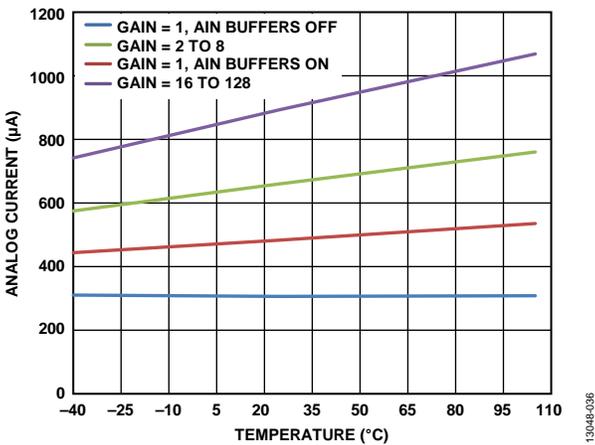


图36. 模拟电流与温度的关系(全功率模式)

13048-036

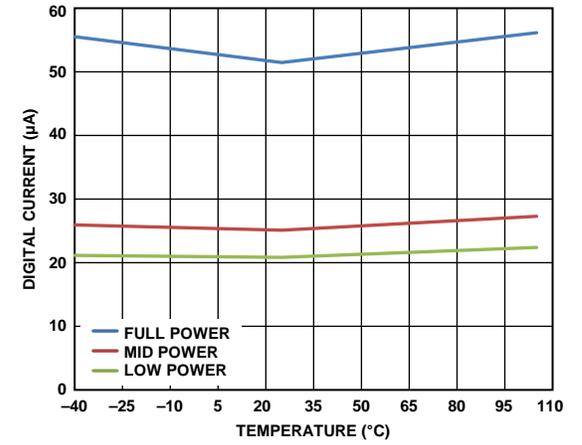


图39. 数字电流与温度的关系

13048-039

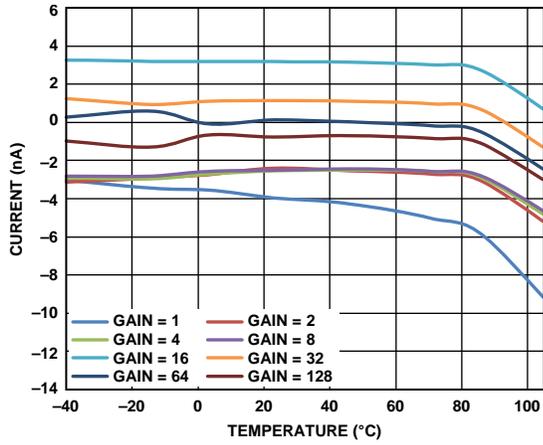


图40. 绝对模拟输入电流与温度的关系(全功率模式)

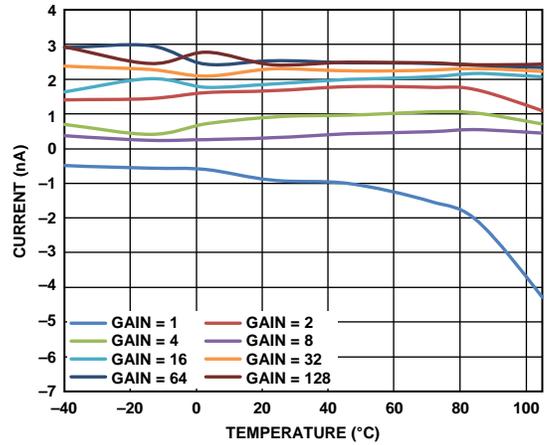


图43. 差分模拟输入电流与温度的关系(全功率模式)

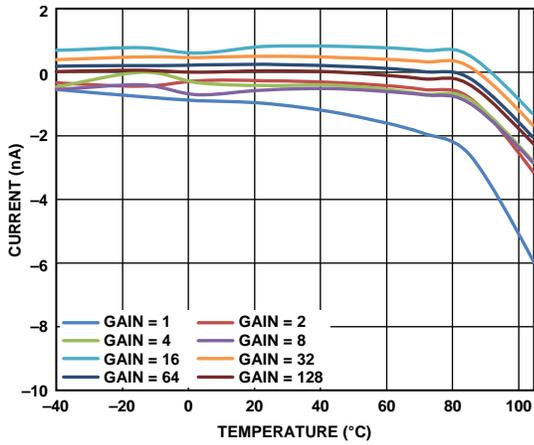


图41. 绝对模拟输入电流与温度的关系(中功率模式)

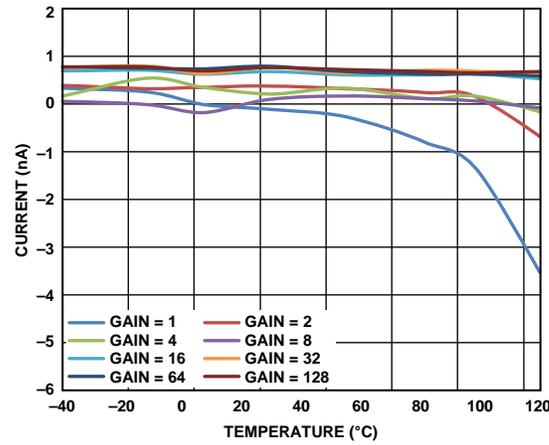


图44. 差分模拟输入电流与温度的关系(中功率模式)

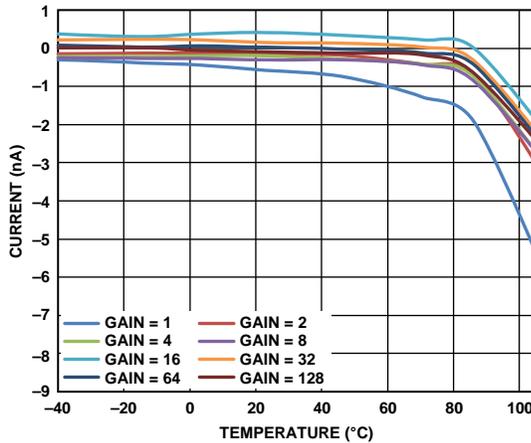


图42. 绝对模拟输入电流与温度的关系(低功耗模式)

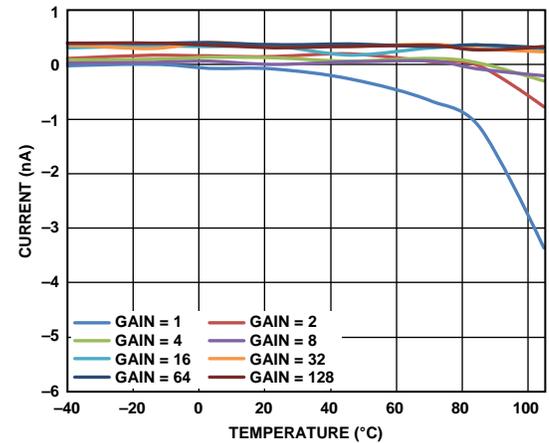


图45. 差分模拟输入电流与温度的关系(低功耗模式)

AD7124-8

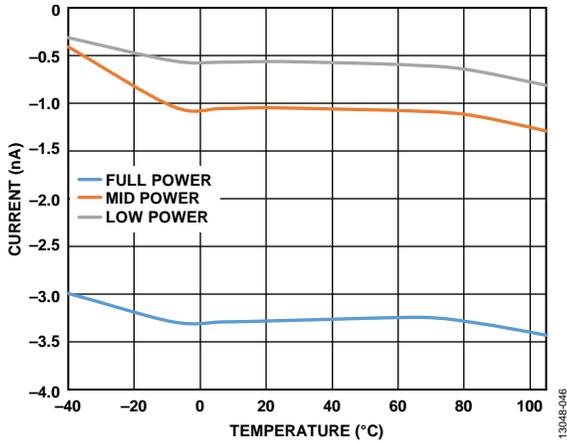


图46. 基准输入电流与温度的关系(基准电压缓冲器使能)

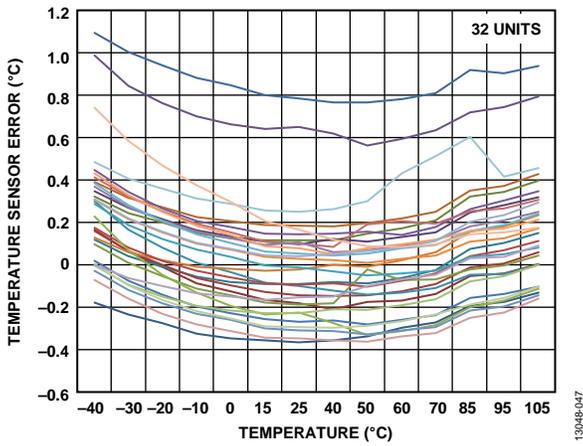


图47. 温度传感器精度

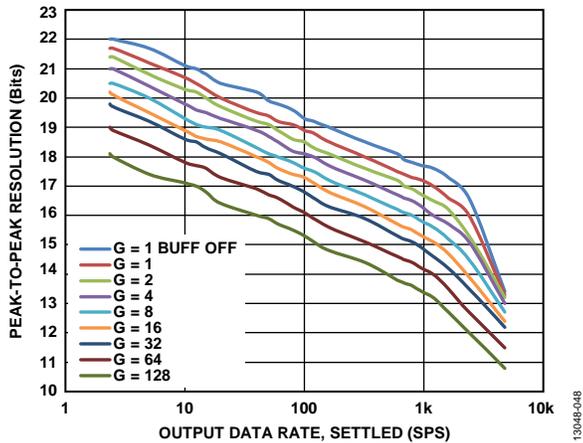


图48. 峰峰值分辨率与输出数据速率(已建立)的关系, Sinc⁴滤波器(全功率模式)

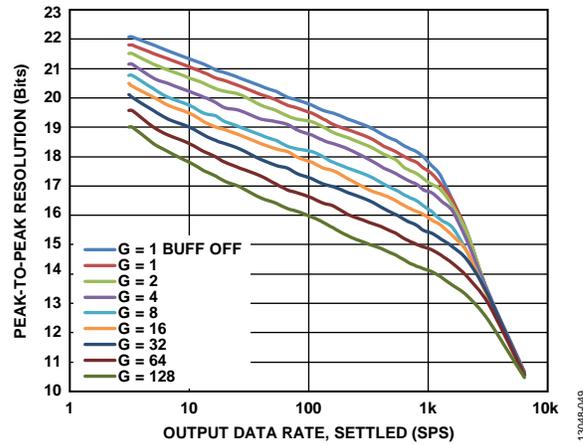


图49. 峰峰值分辨率与输出数据速率(已建立)的关系, Sinc³滤波器(全功率模式)

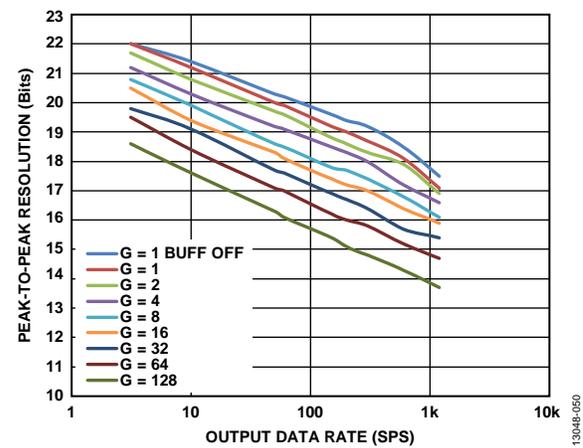


图50. 峰峰值分辨率与输出数据速率的关系, Sinc³ + Sinc¹滤波器(全功率模式)

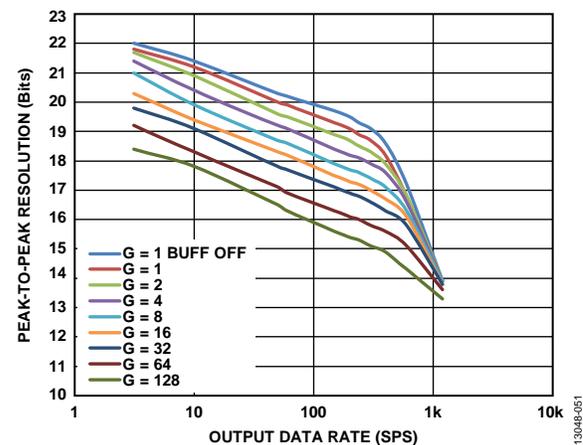


图51. 峰峰值分辨率与输出数据速率的关系, Sinc³ + Sinc¹滤波器(全功率模式)

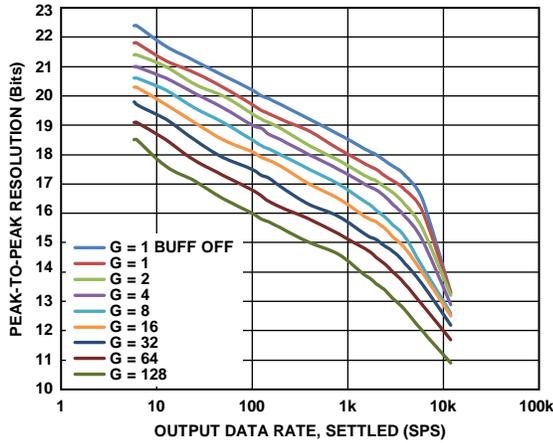


图52. 峰峰值分辨率与输出数据速率(已建立)的关系, $Sinc^4$ 滤波器(中功率模式)

13048-052

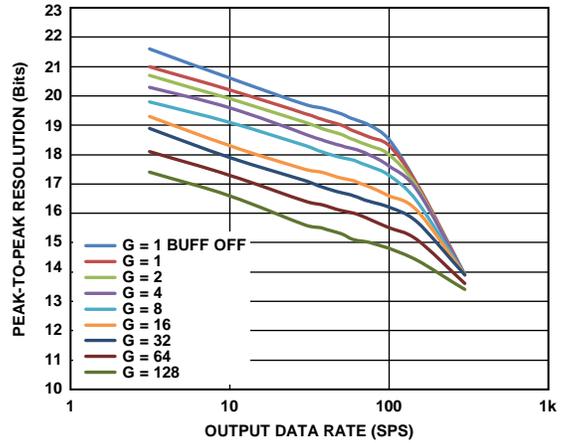


图55. 峰峰值分辨率与输出数据速率的关系, $Sinc^3 + Sinc^1$ 滤波器(中功率模式)

13048-055

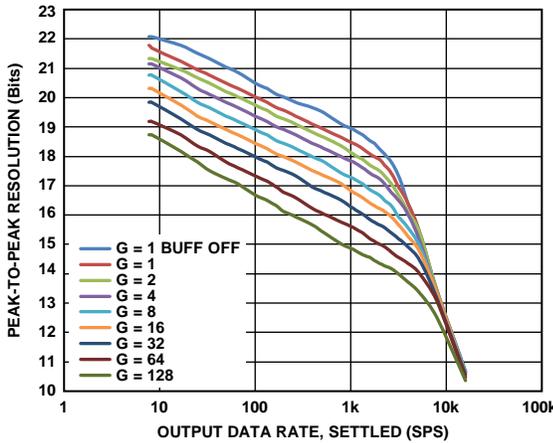


图53. 峰峰值分辨率与输出数据速率(已建立)的关系, $Sinc^3$ 滤波器(中功率模式)

13048-053

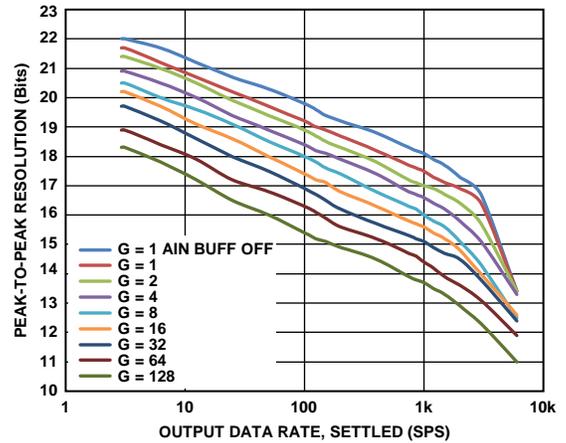


图56. 峰峰值分辨率与输出数据速率(已建立)的关系, $Sinc^3$ 滤波器(低功耗模式)

13048-056

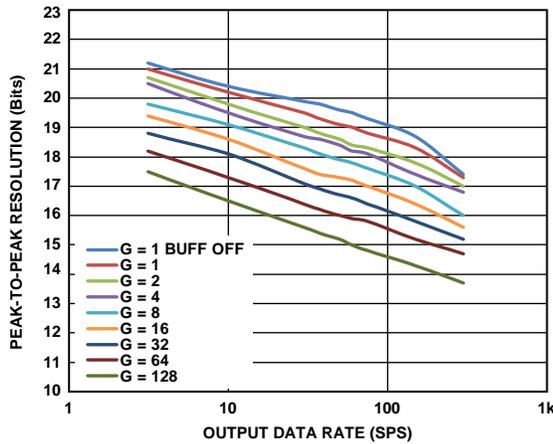


图54. 峰峰值分辨率与输出数据速率的关系, $Sinc^4 + Sinc^1$ 滤波器(中功率模式)

13048-054

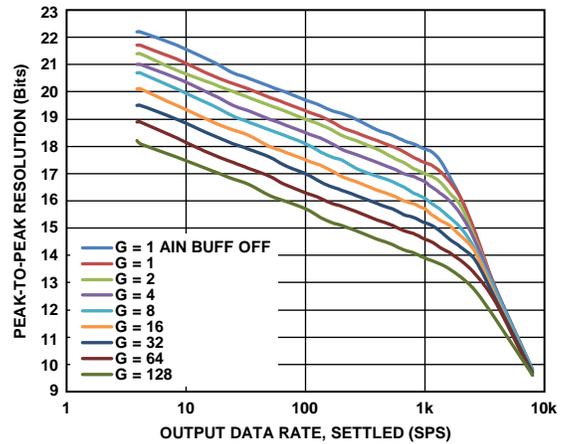


图57. 峰峰值分辨率与输出数据速率(已建立)的关系, $Sinc^3$ 滤波器(低功耗模式)

13048-057

AD7124-8

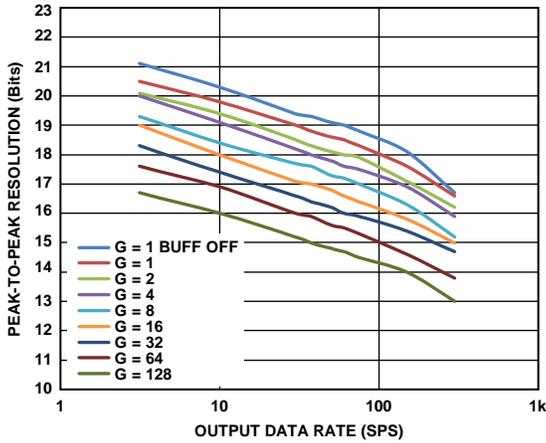


图58. 峰峰值分辨率与输出数据速率的关系, $Sinc^4 + Sinc^1$ 滤波器(低功耗模式)

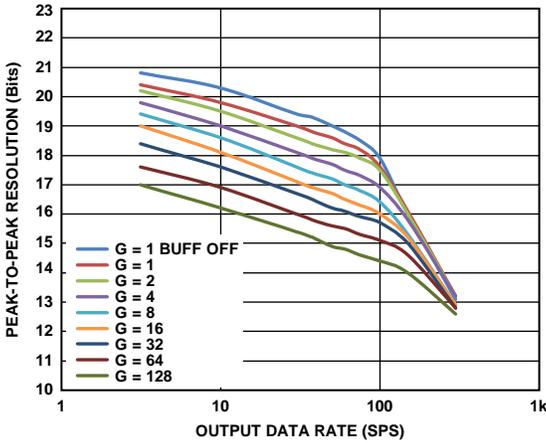


图59. 峰峰值分辨率与输出数据速率的关系, $Sinc^3 + Sinc^1$ 滤波器(低功耗模式)

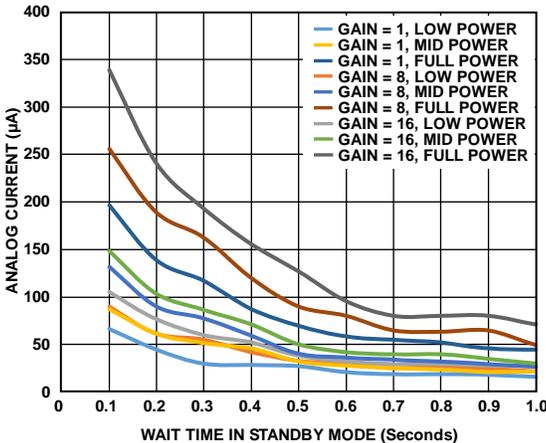


图60. 待机模式下模拟电流与等待时间的关系, ADC处于单次转换模式(50 SPS)

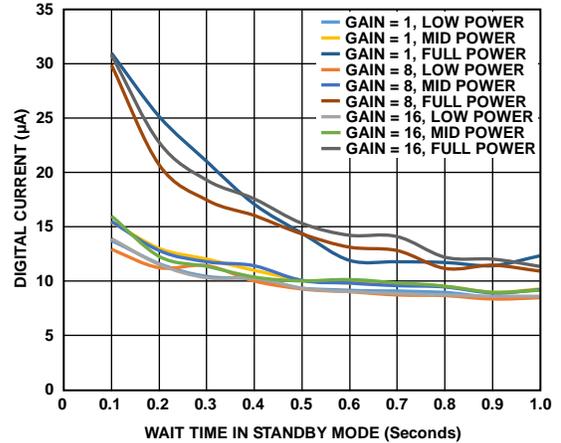


图61. 待机模式下数字电流与等待时间的关系, ADC处于单次转换模式(50 SPS)

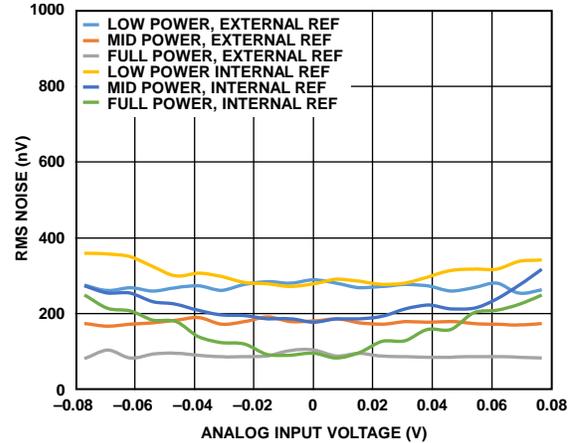


图62. RMS噪声与模拟输入电压的关系, 内部基准电压和外部基准电压(增益 = 32, 50 SPS)

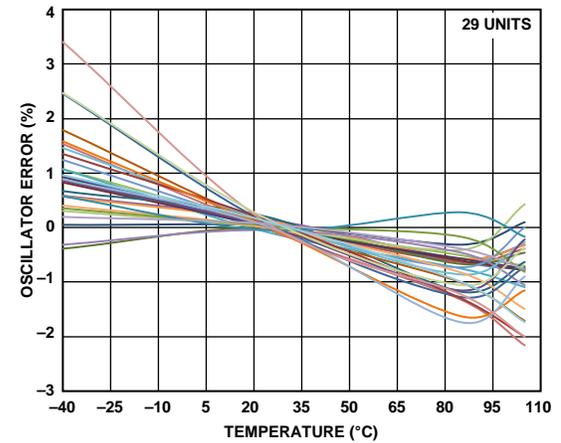


图63. 内部振荡器误差与温度的关系

均方根噪声与分辨率

表7至表36所示为AD7124-8在不同输出数据速率、增益设置和滤波器下的均方根噪声、峰峰值噪声、有效分辨率和无噪声(峰峰值)分辨率。所提供的数据是针对双极性输入范围以及采用2.5 V外部基准电压源而言。这些数据是在单个通道上连续转换ADC时，差分输入电压为0 V产生的典型值。必须注意，有效分辨率根据均方根噪声计算得出，而

峰峰值分辨率(显示在括号中)则是根据峰峰值噪声(显示在括号中)计算得出。峰峰值分辨率表示无闪烁码的分辨率。

$$\text{有效分辨率} = \text{Log}_2(\text{输入范围}/\text{均方根噪声})$$

$$\text{峰峰值分辨率} = \text{Log}_2(\text{输入范围}/\text{峰峰值噪声})$$

全功率模式

Sinc^4

表7. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV)，全功率模式

滤波器字(十进制)	输出数据速率(SPS)	输出数据速率(零延迟模式)(SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	9.4	2.34	2.16	0.24 (1.5)	0.15 (0.89)	0.091 (0.6)	0.071 (0.41)	0.045 (0.26)	0.031 (0.17)	0.025 (0.15)	0.023 (0.14)
1920	10	2.5	2.3	0.23 (1.5)	0.14 (0.89)	0.094 (0.6)	0.076 (0.42)	0.048 (0.27)	0.03 (0.19)	0.025 (0.16)	0.025 (0.15)
960	20	5	4.6	0.31 (2.1)	0.22 (1.3)	0.13 (0.89)	0.1 (0.6)	0.069 (0.41)	0.044 (0.26)	0.035 (0.22)	0.034 (0.22)
480	40	10	9.2	0.42 (3)	0.3 (2.1)	0.19 (1.4)	0.14 (0.97)	0.09 (0.63)	0.063 (0.39)	0.053 (0.34)	0.043 (0.27)
384	50	12.5	11.5	0.48 (3.2)	0.33 (2.1)	0.2 (1.3)	0.16 (1.1)	0.1 (0.75)	0.068 (0.43)	0.059 (0.42)	0.048 (0.28)
320	60	15	13.8	0.51 (3.3)	0.35 (2.4)	0.23 (1.3)	0.17 (1.2)	0.11 (0.78)	0.077 (0.5)	0.064 (0.41)	0.056 (0.35)
240	80	20	18.4	0.6 (4.8)	0.41 (3)	0.28 (1.8)	0.19 (1.3)	0.13 (0.86)	0.09 (0.54)	0.072 (0.48)	0.063 (0.45)
120	160	40	36.8	0.86 (6.9)	0.55 (4.1)	0.37 (2.5)	0.29 (2)	0.2 (1.2)	0.13 (0.84)	0.11 (0.7)	0.098 (0.6)
60	320	80	73.6	1.2 (8.9)	0.76 (6.1)	0.53 (4.1)	0.4 (2.7)	0.26 (1.8)	0.18 (1.2)	0.15 (0.95)	0.14 (0.86)
30	640	160	147.2	1.7 (13)	1.1 (8.8)	0.74 (5.7)	0.57 (4.1)	0.38 (2.9)	0.26 (2)	0.22 (1.6)	0.19 (1.4)
15	1280	320	294.4	2.4 (19)	1.6 (13)	1.1 (8.4)	0.82 (6)	0.55 (4)	0.38 (2.5)	0.3 (2.3)	0.26 (1.8)
8	2400	600	552	3.3 (25)	2.3 (16)	1.5 (12)	1.2 (8)	0.76 (6)	0.53 (4)	0.43 (3.2)	0.37 (2.7)
4	4800	1200	1104	4.9 (38)	3.4 (25)	2.4 (20)	2 (13)	1.3 (9.1)	0.83 (6.4)	0.68 (4.8)	0.58 (4.3)
2	9600	2400	2208	8.8 (76)	6.8 (61)	4.9 (34)	4.3 (27)	2.6 (21)	1.7 (13)	1.3 (12)	1.2 (9.4)
1	19,200	4800	4416	72 (500)	38 (270)	21 (150)	13 (95)	7.5 (57)	4.4 (33)	3.3 (26)	2.8 (23)

表8. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位)，全功率模式

滤波器字(十进制)	输出数据速率(SPS)	输出数据速率(零延迟模式)(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	9.4	2.34	24 (21.7)	24 (21.4)	23.7 (21)	23.1 (20.5)	22.7 (20.2)	22.3 (19.8)	21.6 (19)	20.7 (18.1)
1920	10	2.5	24 (21.7)	24 (21.4)	23.7 (21)	23 (20.5)	22.6 (20.1)	22.3 (19.7)	21.6 (19)	20.7 (18.1)
960	20	5	23.9 (21.2)	23.5 (20.8)	23.2 (20.4)	22.5 (20)	22.1 (19.5)	21.8 (19.2)	21.1 (18.4)	20.1 (19.4)
480	40	10	23.5 (20.7)	23 (20.3)	22.6 (19.8)	22.1 (19.3)	21.7 (18.9)	21.2 (18.6)	20.5 (17.8)	19.8 (17.1)
384	50	12.5	23.3 (20.5)	22.9 (20.2)	22.5 (19.6)	21.9 (19.1)	21.5 (18.7)	21.1 (18.5)	20.4 (17.7)	19.6 (17)
320	60	15	23.2 (20.3)	22.8 (20)	22.4 (19.5)	21.8 (19)	21.4 (18.6)	21 (18.3)	20.2 (17.6)	19.4 (16.6)
240	80	20	23 (20)	22.6 (19.7)	22.1 (19.3)	21.6 (18.9)	21.2 (18.5)	20.7 (18.1)	20 (17.3)	19.2 (16.4)
120	160	40	22.5 (19.5)	22.1 (19.2)	21.7 (18.9)	21 (18.3)	20.6 (18)	20.1 (17.5)	19.5 (16.9)	18.6 (16)
60	320	80	22 (19.1)	21.6 (18.6)	21.2 (18.2)	20.6 (17.8)	20.2 (17.4)	19.7 (17)	19 (16.3)	18.1 (15.5)
30	640	160	21.5 (18.5)	21.1 (18.1)	20.7 (17.7)	20.1 (17.2)	19.7 (16.8)	19.2 (16.3)	18.5 (15.6)	17.6 (14.8)
15	1280	320	21 (18)	20.5 (17.6)	20.2 (17.2)	19.5 (16.7)	19.1 (16.3)	18.7 (15.9)	18 (15.1)	17.2 (14.4)
8	2400	600	20.5 (17.5)	20.1 (17.2)	19.7 (16.7)	19 (16.2)	18.6 (15.7)	18.2 (15.3)	17.5 (14.6)	16.7 (13.8)
4	4800	1200	20 (17)	19.5 (16.5)	19 (16)	18.3 (15.6)	17.9 (15.1)	17.5 (14.6)	16.8 (14)	16 (13.2)
2	9600	2400	19.1 (16)	18.5 (15.3)	18 (15.1)	17.2 (14.5)	16.9 (13.9)	16.5 (13.5)	15.9 (12.7)	15 (12)
1	19,200	4800	16.1 (13.3)	16 (13.2)	15.9 (13)	15.5 (12.7)	15.4 (12.4)	15.1 (12.2)	14.6 (11.5)	13.8 (10.8)

AD7124-8

$Sinc^3$

表9. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 全功率模式

滤波器字 (十进制)	输出数据速率 (SPS)	输出数据速率 (零延迟模式) (SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	9.4	3.13	2.56	0.37 (1.5)	0.15 (0.89)	0.096 (0.58)	0.07 (0.38)	0.046 (0.25)	0.033 (0.16)	0.023 (0.11)	0.017 (0.09)
1920	10	3.33	2.72	0.24 (1.5)	0.15 (0.89)	0.096 (0.6)	0.07 (0.4)	0.05 (0.26)	0.034 (0.17)	0.023 (0.12)	0.018 (0.09)
1280	20	5	5.44	0.31 (1.8)	0.18 (1.2)	0.12 (0.82)	0.09 (0.55)	0.059 (0.35)	0.041 (0.24)	0.033 (0.18)	0.027 (0.14)
640	30	10	8.16	0.4 (2.6)	0.26 (1.6)	0.17 (1.2)	0.11 (0.82)	0.088 (0.52)	0.055 (0.36)	0.048 (0.27)	0.039 (0.22)
384	50	16.67	13.6	0.53 (3.3)	0.3 (2.2)	0.2 (1.6)	0.17 (1.1)	0.1 (0.75)	0.075 (0.51)	0.062 (0.39)	0.056 (0.33)
320	60	20	16.32	0.55 (3.6)	0.37 (2.4)	0.24 (1.8)	0.19 (1.3)	0.12 (0.8)	0.084 (0.54)	0.068 (0.44)	0.06 (0.37)
160	120	40	32.64	0.78 (5.1)	0.53 (3.4)	0.35 (2.3)	0.26 (1.8)	0.17 (1.1)	0.12 (0.85)	0.1 (0.66)	0.097 (0.55)
80	240	80	65.28	1.1 (7)	0.73 (4.9)	0.49 (3.2)	0.37 (2.6)	0.25 (1.6)	0.17 (1.2)	0.14 (1)	0.12 (0.78)
40	480	160	130.56	1.5 (11)	1.1 (6.8)	0.67 (4.5)	0.52 (3.7)	0.34 (2.2)	0.25 (1.7)	0.19 (1.4)	0.17 (1.2)
20	960	320	261.12	2.3 (16)	1.5 (9.8)	0.99 (6.6)	0.75 (5.1)	0.53 (3.5)	0.35 (2.4)	0.28 (2.1)	0.25 (1.8)
10	1920	640	522.24	3.2 (26)	2.2 (16)	1.5 (11)	1.1 (8.5)	0.73 (5.5)	0.49 (3.9)	0.4 (3.2)	0.35 (2.7)
6	3200	1066.67	870.4	4.9 (38)	3.2 (24)	2.1 (15)	1.6 (12)	1 (7.7)	0.68 (5.6)	0.56 (4.2)	0.48 (3.6)
3	6400	2133.33	1740.8	25 (170)	13 (89)	7.1 (54)	4.3 (35)	2.4 (18)	1.5 (11)	1.1 (8.4)	0.9 (6.7)
2	9600	3200	2611.2	110 (820)	54 (390)	28 (210)	14 (110)	7.4 (57)	3.9 (27)	2.3 (17)	1.7 (13)
1	19,200	6400	5222.4	890 (6500)	430 (3000)	220 (1500)	110 (790)	55 (390)	28 (190)	14 (100)	7.6 (56)

表10. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系, 全功率模式

滤波器字 (十进制)	输出数据速率 (SPS)	输出数据速率 (零延迟模式) (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	9.4	3.13	24 (21.7)	24 (21.4)	23.6 (21)	23.1 (20.6)	22.7 (20.3)	22.2 (19.9)	21.7 (19.3)	21 (18.7)
1920	10	3.33	24 (21.7)	24 (21.4)	23.6 (21)	23.1 (20.6)	22.6 (20.2)	22.2 (19.8)	21.7 (19.3)	21 (18.7)
1280	20	5	24 (21.4)	23.7 (21)	23.2 (20.5)	22.7 (20.1)	22.3 (19.8)	21.9 (19.3)	21.2 (18.7)	20.5 (18.1)
640	30	10	23.6 (20.9)	23.2 (20.5)	22.8 (20)	22.2 (19.5)	21.8 (19.2)	21.4 (18.7)	20.6 (18.1)	19.9 (17.4)
384	50	16.67	23.2 (20.5)	22.8 (20.1)	22.4 (19.6)	21.8 (19.1)	21.4 (18.7)	21 (18.2)	20.3 (17.6)	19.4 (16.9)
320	60	20	23.1 (20.4)	22.7 (20)	22.3 (19.4)	21.7 (18.9)	21.3 (18.6)	20.8 (18.1)	20.1 (17.4)	19.3 (16.7)
160	120	40	22.6 (19.9)	22.2 (19.5)	21.8 (19)	21.2 (18.4)	20.8 (18.1)	20.3 (17.5)	19.6 (26.9)	18.7 (16.1)
80	240	80	22.1 (19.4)	21.7 (19)	21.3 (18.6)	20.7 (17.9)	20.3 (17.6)	19.8 (17)	19.1 (16.3)	18.3 (15.6)
40	480	160	21.6 (18.8)	21.2 (18.5)	20.8 (18.1)	20.2 (17.4)	19.8 (17.1)	19.3 (16.5)	18.6 (15.8)	17.8 (15)
20	960	320	21.1 (18.3)	20.7 (18)	20.3 (17.5)	19.7 (16.9)	19.2 (16.4)	18.8 (16)	18.1 (15.2)	17.3 (14.4)
10	1920	640	20.6 (17.6)	20.1 (17.2)	19.7 (16.8)	19.1 (16.2)	18.7 (15.8)	18.3 (15.3)	17.6 (14.6)	16.8 (13.8)
6	3200	1066.67	19.9 (17)	19.6 (16.6)	19.2 (16.3)	18.6 (15.6)	18.2 (15.3)	17.8 (14.8)	17.1 (14.2)	16.3 (13.4)
3	6400	2133.33	17.6 (14.8)	17.6 (14.8)	17.4 (14.5)	17.2 (14.1)	17 (14.1)	16.7 (13.8)	16.3 (13.2)	15.4 (12.5)
2	9600	3200	15.5 (12.6)	15.5 (12.6)	15.4 (12.6)	15.4 (12.5)	15.4 (12.4)	15.3 (12.5)	15 (12.2)	14.5 (11.6)
1	19,200	6400	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.5 (9.6)	12.4 (9.6)	12.4 (9.6)	12.3 (9.5)

后置滤波器

表11. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 全功率模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	0.51 (3.3)	0.34 (2.1)	0.21 (1.3)	0.16 (0.97)	0.11 (0.65)	0.075 (0.41)	0.062 (0.34)	0.051 (0.3)
20	0.53 (3.3)	0.36 (2.1)	0.23 (1.3)	0.18 (1)	0.11 (0.65)	0.078 (0.45)	0.062 (0.34)	0.051 (0.3)
25	0.57 (3.6)	0.37 (2.2)	0.25 (1.6)	0.18 (1.2)	0.12 (0.75)	0.082 (0.47)	0.062 (0.38)	0.055 (0.31)
27.27	0.6 (3.9)	0.38 (2.2)	0.26 (1.6)	0.19 (1.2)	0.13 (0.82)	0.084 (0.55)	0.072 (0.44)	0.063 (0.43)

表12. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 全功率模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	23.2 (20.5)	22.8 (20.2)	22.5 (19.9)	21.9 (19.3)	21.5 (18.9)	21 (18.5)	20.3 (17.8)	19.5 (17)
20	23.2 (20.5)	22.7 (20.2)	22.3 (19.9)	21.7 (19.2)	21.5 (18.9)	20.9 (18.4)	20.3 (17.8)	19.5 (17)
25	23.1 (20.4)	22.7 (20.1)	22.2 (19.6)	21.7 (19)	21.3 (18.7)	20.9 (18.3)	20.3 (17.7)	19.5 (17)
27.27	23 (20.3)	22.6 (20.1)	22.2 (19.5)	21.7 (19)	21.2 (18.5)	20.8 (18.1)	20.1 (17.4)	19.2 (16.5)

快速建立滤波器($Sinc^4 + Sinc^1$ 滤波器)表13. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 全功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
384	2.63	0.19 (1.2)	0.11 (0.75)	0.077 (0.52)	0.063 (0.34)	0.036 (0.21)	0.027 (0.17)	0.021 (0.11)	0.019 (0.098)
120	8.42	0.32 (2.1)	0.2 (1.3)	0.13 (0.97)	0.1 (0.63)	0.067 (0.46)	0.045 (0.28)	0.039 (0.23)	0.031 (0.2)
24	42.11	0.69 (4.6)	0.44 (3)	0.29 (2.1)	0.23 (1.6)	0.14 (0.99)	0.1 (0.72)	0.081 (0.54)	0.07 (0.49)
20	50.53	0.71 (5.1)	0.49 (3.1)	0.3 (2.2)	0.25 (1.7)	0.16 (1.1)	0.11 (0.78)	0.09 (0.6)	0.082 (0.57)
2	505.26	2.4 (18)	1.6 (10)	1.1 (8.3)	0.87 (5.5)	0.56 (3.5)	0.47 (2.9)	0.33 (2.1)	0.3 (2)
1	1010.53	4.8 (35)	3 (20)	1.9 (12)	1.4 (8.8)	0.89 (5.2)	0.57 (3.7)	0.49 (3)	0.44 (3)

表14. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 全功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
384	2.63	24 (22)	24 (21.7)	23.9 (21.2)	23.3 (20.8)	23 (20.5)	22.5 (19.8)	21.8 (19.5)	21 (18.6)
120	8.42	23.9 (21.2)	23.6 (20.8)	23.3 (20.3)	22.5 (19.9)	22.2 (19.4)	21.9 (19.1)	20.9 (18.4)	20.2 (17.6)
24	42.11	22.8 (20)	22.4 (19.7)	22.1 (19.2)	21.4 (18.6)	21.1 (18.3)	20.5 (17.7)	19.9 (17.1)	19.1 (16.3)
20	50.53	22.7 (19.9)	22.3 (19.6)	22 (19.1)	21.2 (18.5)	20.9 (18.1)	20.4 (17.6)	19.7 (17)	18.9 (16.1)
2	505.26	21 (18.1)	20.6 (17.9)	20.2 (17.2)	19.5 (16.8)	19.1 (16.4)	18.4 (15.7)	17.8 (15.2)	17 (14.3)
1	1010.53	20 (17.1)	19.7 (16.9)	19.3 (16.6)	18.8 (16.1)	18.4 (15.9)	18.1 (15.4)	17.3 (14.7)	16.5 (13.7)

快速建立滤波器($Sinc^3 + Sinc^1$ 滤波器)表15. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 全功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
384	2.78	0.22 (1.4)	0.13 (0.75)	0.081 (0.44)	0.048 (0.3)	0.039 (0.24)	0.026 (0.18)	0.025 (0.13)	0.019 (0.11)
120	8.89	0.31 (2.1)	0.21 (1.3)	0.13 (0.89)	0.1 (0.63)	0.068 (0.47)	0.047 (0.28)	0.036 (0.25)	0.033 (0.17)
24	44.44	0.7 (4.8)	0.46 (3.1)	0.29 (2.1)	0.22 (1.5)	0.14 (0.95)	0.098 (0.67)	0.079 (0.56)	0.071 (0.44)
20	53.33	0.77 (5.2)	0.5 (3.4)	0.31 (2.3)	0.24 (1.6)	0.17 (1)	0.11 (0.73)	0.09 (0.66)	0.077 (0.48)
2	533.33	6.1 (46)	3.2 (23)	1.8 (12)	1.1 (7.5)	0.65 (4.3)	0.4 (2.7)	0.31 (2.2)	0.27 (2)
1	1066.67	44 (320)	22 (160)	11 (80)	5.7 (40)	2.9 (22)	1.5 (11)	0.83 (6.2)	0.54 (4)

表16. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 全功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
384	2.78	24 (21.8)	24 (21.7)	23.9 (21.4)	23.6 (21)	22.9 (20.3)	22.5 (19.8)	21.6 (19.2)	21 (18.4)
120	8.89	24 (21.2)	23.5 (20.9)	23.2 (20.4)	22.6 (19.9)	22.1 (19.4)	21.7 (19.1)	21 (18.3)	20.2 (17.8)
24	44.44	22.8 (20)	22.4 (19.6)	22.1 (19.2)	21.4 (18.7)	21.1 (18.3)	20.6 (17.8)	19.9 (17.1)	19.1 (16.5)
20	53.33	22.6 (19.9)	22.3 (19.5)	22 (19.1)	21.3 (18.6)	20.8 (18.2)	20.4 (17.7)	19.7 (16.9)	19 (16.3)
2	533.33	19.7 (16.8)	19.6 (16.8)	19.4 (16.6)	19.1 (16.3)	18.9 (16.1)	18.6 (15.8)	17.9 (15.1)	17.2 (14.3)
1	1066.67	16.8 (13.9)	16.8 (13.9)	16.8 (13.9)	16.7 (13.9)	16.7 (13.8)	16.6 (13.8)	16.5 (13.6)	16.1 (13.3)

AD7124-8

中功率模式

$Sinc^4$

表17. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 中功率模式

滤波器字 (十进制)	输出数据 速率 (SPS)	输出数据 速率(零延 迟模式) (SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	2.34	0.586	0.078	0.22 (1.4)	0.14 (0.88)	0.095 (0.6)	0.062 (0.38)	0.048 (0.24)	0.036 (0.17)	0.024 (0.14)	0.02 (0.1)
1920	2.5	0.625	0.575	0.25 (1.4)	0.17 (0.88)	0.11 (0.6)	0.073 (0.38)	0.048 (0.24)	0.037 (0.19)	0.024 (0.14)	0.021 (0.1)
960	5	1.25	1.15	0.34 (2)	0.21 (1.2)	0.13 (0.77)	0.085 (0.52)	0.064 (0.36)	0.052 (0.25)	0.04 (0.21)	0.035 (0.2)
480	10	2.5	2.3	0.44 (2.8)	0.28 (1.8)	0.19 (1.1)	0.1 (0.82)	0.1 (0.55)	0.072 (0.41)	0.057 (0.34)	0.048 (0.28)
240	20	5	4.6	0.67 (3.8)	0.4 (2.4)	0.27 (1.6)	0.2 (1.1)	0.14 (0.85)	0.098 (0.64)	0.081 (0.47)	0.07 (0.43)
120	40	10	9.2	0.98 (6)	0.58 (3.6)	0.37 (2.3)	0.27 (1.7)	0.2 (1.1)	0.14 (0.87)	0.11 (0.74)	0.09 (0.57)
96	50	12.5	11.5	1 (7.4)	0.67 (4.2)	0.41 (2.5)	0.28 (1.9)	0.23 (1.3)	0.15 (0.95)	0.13 (0.78)	0.11 (0.7)
80	60	15	13.8	1.1 (7.2)	0.7 (4.3)	0.44 (3)	0.33 (2.1)	0.24 (1.4)	0.17 (1.1)	0.14 (0.89)	0.12 (0.75)
60	80	20	18.4	1.3 (8.4)	0.8 (5.1)	0.53 (3.4)	0.37 (2.4)	0.27 (1.6)	0.2 (1.3)	0.18 (1.1)	0.13 (0.82)
30	160	40	36.8	1.8 (11)	1.2 (7.6)	0.73 (4.6)	0.54 (3.4)	0.39 (2.4)	0.28 (1.9)	0.23 (1.4)	0.19 (1.2)
15	320	80	73.6	2.6 (17)	1.7 (11)	1 (6.6)	0.79 (4.7)	0.58 (3.4)	0.4 (2.5)	0.33 (2)	0.26 (1.5)
8	600	150	138	3.7 (23)	2.3 (15)	1.5 (9.6)	1.2 (7.2)	0.84 (5)	0.56 (4)	0.46 (2.8)	0.4 (2.6)
4	1200	300	276	5.3 (36)	3.6 (24)	2.4 (16)	1.9 (13)	1.3 (8.2)	0.85 (6)	0.68 (4.3)	0.6 (4.5)
2	2400	600	552	9.3 (72)	6.8 (53)	4.8 (35)	4.1 (34)	2.5 (19)	1.7 (13)	1.3 (10)	1.2 (9.7)
1	4800	1200	1104	71 (500)	37 (270)	21 (160)	13 (98)	7.2 (55)	4.3 (33)	3.1 (24)	2.6 (21)

表18. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 中功率模式

滤波器字 (十进制)	输出数据 速率 (SPS)	输出数据 速率(零延 迟模式) (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	2.34	0.586	24 (21.8)	24 (21.4)	23.6 (21)	23.3 (20.6)	22.6 (20.3)	22.1 (19.7)	21.6 (19.1)	20.9 (18.5)
1920	2.5	0.625	24 (21.8)	23.8 (21.4)	23.5 (21)	23 (20.6)	22.6 (20.3)	22 (19.7)	21.6 (19.1)	20.8 (18.5)
960	5	1.25	23.8 (21.2)	23.5 (21)	23.2 (20.6)	22.8 (20.2)	22.2 (19.7)	21.5 (19.2)	20.9 (18.5)	20.1 (17.6)
480	10	2.5	23.4 (20.8)	23.1 (20.4)	22.7 (20.1)	22.2 (19.6)	21.5 (19.1)	21 (18.5)	20.4 (17.8)	19.6 (17.1)
240	20	5	22.8 (20.3)	22.5 (20)	22.1 (19.6)	21.6 (19.1)	21.1 (18.5)	20.6 (17.9)	19.9 (17.3)	19.1 (16.5)
120	40	10	22.3 (19.7)	22 (19.4)	21.7 (19)	21.1 (18.5)	20.6 (18.1)	20.1 (17.5)	19.4 (16.8)	18.7 (16)
96	50	12.5	22.2 (19.5)	21.8 (19.2)	21.5 (18.9)	21 (18.3)	20.4 (17.9)	19.9 (17.3)	19.2 (16.6)	18.5 (15.8)
80	60	15	22.1 (19.4)	21.7 (19.1)	21.4 (18.7)	20.9 (18.2)	20.3 (17.8)	19.8 (17.2)	19.1 (16.4)	18.4 (15.7)
60	80	20	21.9 (19.2)	21.5 (18.9)	21.1 (18.5)	20.7 (18)	20.1 (17.6)	19.6 (16.9)	18.9 (16.2)	18.2 (15.5)
30	160	40	21.4 (18.8)	21 (18.9)	20.7 (18.5)	20.2 (17.5)	19.6 (17)	19.1 (16.3)	18.4 (15.8)	17.7 (15)
15	320	80	20.9 (18.2)	20.5 (17.8)	20.2 (17.5)	19.6 (17)	19 (16.5)	18.6 (15.9)	17.9 (15.3)	17.2 (14.6)
8	600	150	20.4 (17.7)	20 (17.3)	19.7 (17)	19 (16.4)	18.5 (15.9)	18.1 (15.3)	17.4 (14.8)	16.6 (13.9)
4	1200	300	19.8 (17.1)	19.4 (16.7)	19 (16.3)	18.3 (15.6)	17.9 (15.2)	17.5 (14.7)	16.8 (14)	16 (13.1)
2	2400	600	19 (16.1)	18.5 (15.5)	18 (15.1)	17.2 (14.2)	16.9 (14)	16.5 (13.6)	15.8 (12.9)	15 (12)
1	4800	1200	16.1 (13.3)	16 (13.2)	15.9 (12.9)	15.5 (12.6)	15.4 (12.5)	15.1 (12.2)	14.6 (11.7)	13.9 (10.9)

$Sinc^3$ 表19. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 中功率模式

滤波器字(十进制)	输出数据速率(SPS)	输出数据速率(零延迟模式)(SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	2.34	0.78	0.64	0.25 (1.5)	0.17 (1)	0.087 (0.58)	0.065 (0.4)	0.049 (0.27)	0.034 (0.19)	0.03 (0.16)	0.022 (0.11)
960	5	1.67	1.36	0.35 (2.2)	0.23 (1.3)	0.14 (0.82)	0.1 (0.58)	0.074 (0.43)	0.053 (0.31)	0.041 (0.22)	0.034 (0.17)
480	10	3.33	2.72	0.5 (3.1)	0.31 (1.9)	0.19 (1.3)	0.14 (0.89)	0.1 (0.63)	0.075 (0.44)	0.6 (0.35)	0.049 (0.28)
320	15	5	4.08	0.6 (3.8)	0.38 (2.4)	0.24 (1.6)	0.17 (1.1)	0.13 (0.8)	0.089 (0.54)	0.076 (0.46)	0.062 (0.35)
160	30	10	8.16	0.83 (5.6)	0.54 (3.3)	0.34 (2.2)	0.24 (1.6)	0.18 (1.1)	0.13 (0.77)	0.1 (0.65)	0.088 (0.53)
96	50	16.67	13.6	1.1 (7.5)	0.72 (4.4)	0.44 (2.9)	0.31 (2)	0.24 (1.5)	0.17 (1)	0.14 (0.82)	0.11 (0.7)
80	60	20	16.32	1.2 (7.7)	0.8 (4.8)	0.48 (3.1)	0.35 (2.2)	0.25 (1.6)	0.18 (1.1)	0.15 (0.94)	0.12 (0.77)
40	120	40	32.64	1.7 (11)	1.1 (7)	0.7 (4.6)	0.47 (3.2)	0.36 (2.2)	0.26 (1.7)	0.21 (1.5)	0.18 (1.1)
20	240	80	65.28	2.5 (16)	1.6 (9.7)	0.94 (6.2)	0.7 (5)	0.53 (3.2)	0.37 (2.3)	0.31 (2.1)	0.26 (1.8)
10	480	160	130.6	3.5 (24)	2.2 (15)	1.4 (9.3)	1 (7)	0.78 (5.3)	0.56 (3.9)	0.46 (3.1)	0.38 (2.5)
5	960	320	261.1	6.7 (53)	4.1 (34)	2.5 (19)	1.8 (14)	1.2 (8.7)	0.84 (6.4)	0.67 (5)	0.57 (3.9)
3	1600	533.33	435.2	25 (170)	13 (90)	7.1 (53)	4.2 (30)	2.4 (18)	1.5 (11)	1.1 (7.8)	0.89 (6.8)
2	2400	800	652.8	110 (740)	54 (360)	27 (200)	14 (110)	7.4 (51)	3.9 (29)	2.3 (16)	1.6 (12)
1	4800	1600	1306	880 (5800)	430 (3100)	220 (1500)	110 (760)	55 (400)	27 (180)	14 (110)	7.5 (56)

表20. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 中功率模式

滤波器字(十进制)	输出数据速率(SPS)	输出数据速率(零延迟模式)(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	2.34	0.78	24 (21.7)	23.8 (21.2)	23.6 (21)	23.2 (20.6)	22.6 (20.1)	22.1 (19.6)	21.3 (18.9)	20.7 (18.4)
960	5	1.67	23.8 (21.1)	23.4 (20.8)	23.1 (20.5)	22.6 (20)	22 (19.5)	21.5 (19)	20.8 (18.4)	20.1 (17.8)
480	10	3.33	23.3 (20.6)	22.9 (20.3)	22.6 (19.9)	22.1 (19.4)	21.5 (18.9)	21 (18.4)	20.3 (17.8)	19.6 (17.1)
320	15	5	23 (20.3)	22.6 (20)	22.3 (19.6)	21.8 (19.1)	21.2 (18.6)	20.7 (18.1)	20 (17.4)	19.3 (16.8)
160	30	10	22.5 (19.8)	22.1 (19.5)	21.8 (19.1)	21.3 (18.6)	20.7 (18.1)	20.2 (17.6)	19.5 (16.9)	18.8 (16.2)
96	50	16.67	22.1 (19.4)	21.7 (19.1)	21.4 (18.7)	20.9 (18.2)	20.3 (17.7)	19.8 (17.2)	19.1 (16.5)	18.4 (15.8)
80	60	20	22 (19.3)	21.6 (19)	21.3 (18.6)	20.8 (18.1)	20.2 (17.6)	19.7 (17.1)	19.1 (16.3)	18.3 (15.6)
40	120	40	21.5 (18.8)	21.1 (18.5)	20.8 (18.1)	20.3 (17.6)	19.7 (17.1)	19.2 (16.5)	18.5 (15.7)	17.7 (15.1)
20	240	80	21 (18.3)	20.6 (18)	20.3 (17.6)	19.8 (17)	19.2 (16.6)	18.7 (16)	18 (15.2)	17.2 (14.4)
10	480	160	20.4 (17.7)	20.1 (17.3)	19.8 (17)	19.2 (16.4)	18.6 (15.9)	18.1 (15.3)	17.4 (14.6)	16.7 (13.9)
5	960	320	19.5 (16.5)	19.2 (16.2)	19 (16)	18.4 (15.4)	18 (15.1)	17.5 (14.6)	16.8 (13.9)	16.1 (13.3)
3	1600	533.33	17.6 (14.8)	17.5 (14.8)	17.4 (14.5)	17.2 (14.3)	17 (14.1)	16.7 (13.8)	16.1 (13.3)	15.4 (12.6)
2	2400	800	15.5 (12.7)	15.5 (12.7)	15.5 (12.6)	15.4 (12.6)	15.4 (12.6)	15.3 (12.4)	15 (12.3)	14.6 (11.7)
1	4800	1600	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.5 (9.6)	12.4 (9.5)	12.4 (9.4)

后置滤波器

表21. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 中功率模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	1.1 (6.3)	0.69 (4)	0.41 (2.5)	0.31 (2)	0.23 (1.4)	0.17 (0.96)	0.13 (0.79)	0.11 (0.61)
20	1.1 (6.9)	0.7 (4)	0.41 (2.5)	0.33 (2.1)	0.23 (1.5)	0.18 (0.96)	0.14 (0.81)	0.12 (0.67)
25	1.2 (8)	0.8 (4.6)	0.46 (2.8)	0.36 (2.3)	0.25 (1.5)	0.17 (1)	0.15 (0.9)	0.12 (0.74)
27.27	1.3 (9.2)	0.82 (4.8)	0.48 (2.8)	0.36 (2.3)	0.28 (1.6)	0.19 (1.1)	0.16 (1)	0.13 (0.79)

表22. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 中功率模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	22.1 (19.6)	21.8 (19.2)	21.5 (18.9)	20.9 (18.3)	20.4 (17.8)	19.8 (17.3)	19.2 (16.6)	18.4 (16)
20	22.1 (19.5)	21.8 (19.2)	21.5 (18.9)	20.9 (18.2)	20.4 (17.7)	19.8 (17.3)	19 (16.6)	18.3 (15.8)
25	22 (19.2)	21.6 (19.1)	21.4 (18.8)	20.7 (18.1)	20.3 (17.6)	19.7 (17.2)	18.9 (16.4)	18.2 (15.7)
27.27	21.9 (19)	21.5 (19)	21.3 (18.8)	20.7 (18.1)	21.1 (17.6)	19.7 (17.1)	18.9 (16.3)	18.2 (15.6)

AD7124-8

快速建立滤波器($Sinc^4 + Sinc^1$ 滤波器)

表23. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 中功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.63	0.36 (2.4)	0.23 (1.5)	0.15 (0.82)	0.1 (0.71)	0.078 (0.44)	0.056 (0.35)	0.045 (0.26)	0.038 (0.21)
30	8.42	0.67 (4.2)	0.44 (2.7)	0.26 (1.6)	0.18 (1.1)	0.14 (0.8)	0.1 (0.54)	0.08 (0.48)	0.067 (0.41)
6	42.11	1.5 (9)	0.96 (6.1)	0.57 (3.7)	0.42 (2.6)	0.32 (1.9)	0.22 (1.5)	0.18 (1.1)	0.15 (0.95)
5	50.53	1.6 (9.3)	1 (7.7)	0.62 (4)	0.46 (3)	0.33 (2)	0.24 (1.6)	0.2 (1.3)	0.17 (1.2)
2	126.32	2.5 (15)	1.6 (11)	1 (7.2)	0.76 (4.9)	0.57 (3.7)	0.41 (2.7)	0.32 (2.4)	0.29 (1.9)
1	252.63	5.2 (21)	3.1 (19)	1.8 (11)	1.4 (9.8)	0.92 (6.2)	0.62 (4.2)	0.49 (3)	0.41 (3)

表24. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 中功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.63	23.7 (21)	23.4 (20.7)	23 (20.5)	22.5 (19.8)	21.9 (19.4)	21.4 (18.8)	20.7 (18.2)	20 (17.5)
30	8.42	22.8 (20.2)	22.4 (19.8)	22.2 (19.5)	21.7 (19.1)	21 (18.6)	20.6 (18.1)	19.9 (17.3)	19.1 (16.5)
6	42.11	21.7 (19.1)	21.3 (18.6)	21.1 (18.4)	20.5 (17.9)	19.9 (17.3)	19.4 (16.7)	18.7 (16)	18 (15.2)
5	50.53	21.5 (19)	21.2 (18.4)	20.9 (18.2)	20.4 (17.8)	19.8 (17.2)	19.3 (16.6)	18.5 (15.9)	17.8 (15)
2	126.32	20.9 (18.3)	20.5 (17.8)	20.2 (17.4)	19.6 (17)	19.1 (16.4)	18.6 (15.8)	17.9 (15.2)	17.1 (14.3)
1	252.63	19.9 (17.3)	19.6 (17)	19.4 (16.8)	18.8 (16)	18.4 (15.6)	17.9 (15.2)	17.3 (14.7)	16.5 (13.7)

快速建立滤波器($Sinc^3 + Sinc^1$ 滤波器)

表25. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 中功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.78	0.39 (2.4)	0.25 (1.5)	0.16 (1)	0.11 (0.67)	0.08 (0.48)	0.058 (0.31)	0.047 (0.27)	0.039 (0.23)
30	8.89	0.71 (4.2)	0.43 (2.5)	0.27 (1.6)	0.19 (1.1)	0.15 (1)	0.098 (0.64)	0.083 (0.47)	0.068 (0.4)
6	44.44	1.5 (9.5)	0.93 (6)	0.59 (3.8)	0.43 (2.6)	0.32 (2.1)	0.22 (1.5)	0.18 (1.1)	0.15 (0.98)
5	53.33	1.6 (11)	1 (6.9)	0.66 (4.2)	0.46 (2.8)	0.35 (2.3)	0.24 (1.6)	0.2 (1.2)	0.17 (1.1)
2	133.33	6 (37)	3.2 (20)	1.8 (11)	1 (7.2)	0.63 (4.5)	0.31 (3)	0.33 (2.2)	0.27 (1.8)
1	266.67	44 (320)	23 (160)	12 (83)	5.7 (41)	3 (20)	1.6 (9.9)	0.84 (6.4)	0.56 (3.5)

表26. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 中功率模式(以16为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.78	23.6 (21)	23.3 (20.7)	22.9 (20.3)	22.5 (19.8)	21.9 (19.3)	21.4 (18.9)	20.7 (18.1)	19.9 (17.4)
30	8.89	22.7 (20.2)	22.5 (19.9)	22.2 (19.6)	21.7 (19.1)	21 (18.3)	20.6 (17.9)	19.8 (17.3)	19.1 (16.6)
6	44.44	21.7 (19)	21.4 (18.7)	21 (18.3)	20.5 (17.9)	19.9 (17.2)	19.4 (16.7)	18.7 (16.1)	18 (15.3)
5	53.33	21.5 (18.8)	21.2 (18.5)	20.9 (18.2)	20.4 (17.8)	19.8 (17.1)	19.3 (16.6)	18.6 (16)	17.8 (15.1)
2	133.33	19.7 (17)	19.6 (16.9)	19.4 (16.8)	19.2 (16.4)	18.9 (16.1)	18.5 (15.7)	17.8 (15.1)	17.1 (14.4)
1	266.67	16.8 (13.9)	16.7 (13.9)	16.7 (13.9)	16.7 (13.9)	16.7 (13.9)	16.6 (13.9)	16.5 (13.6)	16.1 (13.4)

低功耗模式

 $Sinc^4$ 表27. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 低功耗模式

滤波器字 (十进制)	输出 数据 速率 (SPS)	输出 数据 速率 (零延 迟模 式) (SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	1.17	0.293	0.269	0.22 (1.2)	0.15 (0.89)	0.095 (0.67)	0.071 (0.41)	0.053 (0.26)	0.043 (0.2)	0.035 (0.16)	0.024 (0.12)
1920	1.25	0.3125	0.288	0.24 (1.5)	0.15 (0.89)	0.095 (0.67)	0.071 (0.41)	0.053 (0.26)	0.043 (0.2)	0.035 (0.16)	0.024 (0.12)
960	2.5	0.625	0.575	0.37 (2.1)	0.23 (1.2)	0.13 (0.82)	0.1 (0.61)	0.068 (0.37)	0.055 (0.26)	0.041 (0.23)	0.035 (0.17)
480	5	1.25	1.15	0.5 (3)	0.3 (1.7)	0.18 (1.2)	0.13 (0.77)	0.099 (0.56)	0.078 (0.39)	0.06 (0.31)	0.052 (0.26)
240	10	2.5	2.3	0.65 (4.1)	0.42 (2.5)	0.26 (1.9)	0.2 (1.1)	0.14 (0.8)	0.1 (0.6)	0.085 (0.5)	0.072 (0.43)
120	20	5	4.6	0.9 (5.8)	0.61 (3.5)	0.38 (2.5)	0.28 (1.7)	0.2 (1.2)	0.15 (0.85)	0.12 (0.68)	0.096 (0.6)
60	40	10	9.2	1.3 (8)	0.82 (5)	0.53 (3.7)	0.38 (2.4)	0.29 (1.8)	0.21 (1)	0.17 (0.95)	0.14 (0.9)
48	50	12.5	11.5	1.4 (9.3)	0.95 (6)	0.6 (4.2)	0.46 (2.8)	0.32 (2.1)	0.24 (1.5)	0.2 (1.1)	0.16 (1)
40	60	15	13.8	1.6 (10)	0.99 (6.6)	0.64 (4.5)	0.47 (3.2)	0.35 (2.2)	0.26 (1.7)	0.21 (1.3)	0.17 (1.1)
30	80	20	18.4	1.8 (12)	1.2 (7.5)	0.77 (5.1)	0.55 (3.7)	0.4 (2.7)	0.3 (2)	0.25 (1.6)	0.19 (1.3)
15	160	40	36.8	2.6 (17)	1.8 (11)	1.1 (7.2)	0.85 (5.7)	0.56 (3.9)	0.41 (2.5)	0.33 (2.1)	0.28 (1.6)
8	300	75	69	3.7 (24)	2.5 (17)	1.6 (11)	1.2 (7.5)	0.87 (5.6)	0.58 (3.9)	0.48 (2.9)	0.39 (2.6)
4	600	150	138	5.2 (35)	4 (24)	2.6 (17)	2.1 (13)	1.4 (8.5)	1 (6)	0.76 (5.2)	0.6 (3.9)
2	1200	300	276	9.4 (57)	7.6 (47)	5.8 (36)	4.9 (32)	3 (19)	1.9 (11)	1.4 (9)	1.3 (7.8)
1	2400	600	552	72 (470)	39 (240)	22 (130)	16 (110)	8 (49)	4.8 (29)	3.3 (21)	2.6 (18)

表28. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系, 低功耗模式

滤波器字 (十进制)	输出 数据 速率 (SPS)	输出数据 速率(零延 迟模 式) (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	1.17	0.29311	24 (21.7)	23.8 (21.4)	23.7 (20.9)	23.2 (20.5)	22.7 (20.2)	21.8 (19.7)	21.3 (18.9)	20.6 (18.3)
1920	1.25	0.3125	24 (21.7)	23.8 (21.3)	23.6 (20.8)	23.1 (20.5)	22.6 (20.1)	21.8 (19.6)	21.2 (18.9)	20.6 (18.3)
960	2.5	0.625	23.7 (21.2)	23.4 (21)	23.2 (20.5)	22.6 (20)	22.1 (19.7)	21.4 (19.2)	20.8 (18.4)	20.1 (17.8)
480	5	1.25	23.3 (20.7)	23 (20.5)	22.7 (20)	22.1 (19.6)	21.6 (19.1)	20.9 (18.6)	20.3 (17.9)	19.5 (17.2)
240	10	2.5	22.9 (20.2)	22.5 (19.9)	22.2 (19.4)	21.6 (19.1)	21.1 (18.6)	20.5 (18)	19.8 (17.2)	19.1 (16.5)
120	20	5	22.4 (19.7)	22 (19.4)	21.7 (18.9)	21.1 (18.5)	20.6 (18)	20 (17.5)	19.3 (16.8)	18.6 (16)
60	40	10	21.9 (19.2)	21.5 (18.9)	21.2 (18.4)	20.6 (18)	20.1 (17.4)	19.5 (16.9)	18.8 (16.3)	18.1 (15.4)
48	50	12.5	21.7 (19)	21.3 (18.7)	21 (18.2)	20.4 (17.8)	19.9 (17.2)	19.3 (16.7)	18.6 (16.1)	17.9 (15.2)
40	60	15	21.6 (18.9)	21.2 (18.5)	20.9 (18.1)	20.3 (17.6)	19.8 (17.1)	19.2 (16.5)	18.5 (15.9)	17.8 (15.1)
30	80	20	21.4 (18.7)	21 (18.3)	20.6 (17.9)	20.1 (17.4)	19.6 (16.8)	19 (16.2)	18.3 (15.6)	17.6 (14.9)
15	160	40	20.9 (18.2)	20.4 (17.8)	20.1 (17.4)	19.5 (16.8)	19.1 (16.3)	18.5 (15.7)	17.8 (15.2)	17.1 (14.5)
8	300	75	20.4 (17.7)	19.9 (17.2)	19.6 (16.8)	19 (16.3)	18.5 (15.8)	18 (15.3)	17.3 (14.7)	16.6 (13.9)
4	600	150	19.9 (17.1)	19.3 (16.7)	18.9 (16.2)	18.2 (15.6)	17.8 (15.2)	17.3 (14.7)	16.7 (13.9)	16 (13.3)
2	1200	300	19 (16.4)	18.3 (15.7)	17.7 (15.1)	17 (14.3)	16.7 (14)	16.3 (13.8)	15.7 (13.1)	14.9 (12.3)
1	2400	600	16.1 (13.4)	16 (13.4)	15.8 (13.3)	15.3 (12.5)	15.2 (12.5)	15 (12.4)	14.5 (11.9)	13.9 (11)

AD7124-8

$Sinc^3$

表29. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 低功耗模式

滤波器字 (十进制)	输出数据速率 (SPS)	输出数据速率 (零延迟模式) (SPS)	f_{3dB} (Hz)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	1.17	0.39	0.32	0.26 (1.5)	0.17 (0.9)	0.099 (0.6)	0.072 (0.36)	0.055 (0.27)	0.039 (0.21)	0.032 (0.16)	0.026 (0.13)
480	5	1.67	1.36	0.51 (3.1)	0.31 (1.9)	0.2 (1.3)	0.15 (0.86)	0.11 (0.65)	0.078 (0.45)	0.063 (0.37)	0.05 (0.28)
240	10	3.33	2.72	0.75 (4.5)	0.45 (2.8)	0.29 (2)	0.21 (1.3)	0.16 (0.9)	0.11 (0.65)	0.085 (0.51)	0.071 (0.39)
160	15	5	4.08	0.88 (5.5)	0.55 (3.3)	0.3 (2.4)	0.26 (1.6)	0.19 (1.2)	0.14 (0.79)	0.1 (0.62)	0.089 (0.53)
80	30	10	8.16	1.3 (7.8)	0.77 (4.9)	0.47 (3.3)	0.36 (2.2)	0.27 (1.7)	0.19 (1.2)	0.15 (0.94)	0.12 (0.72)
48	50	16.67	13.6	2.7 (9.9)	1 (6.4)	0.63 (4.6)	0.47 (3.1)	0.36 (2.2)	0.26 (1.7)	0.2 (1.3)	0.16 (1)
40	60	20	16.32	1.8 (12)	1.1 (7)	0.71 (5)	0.52 (3.4)	0.39 (2.5)	0.27 (1.8)	0.21 (1.4)	0.18 (1.3)
20	120	40	32.64	2.5 (17)	1.6 (10)	0.9 (6.1)	0.73 (5)	0.55 (3.7)	0.41 (2.5)	0.3 (1.9)	0.26 (1.6)
10	240	80	65.28	3.5 (25)	2.4 (16)	1.5 (9.9)	1.1 (7.6)	0.8 (5.3)	0.56 (3.5)	0.45 (2.8)	0.37 (2.3)
5	480	160	130.6	6.8 (48)	4.3 (32)	2.6 (19)	2 (15)	1.3 (9)	0.9 (6.5)	0.7 (4.5)	0.55 (3.3)
3	800	266.67	217.6	25 (180)	13 (98)	7.4 (53)	4.5 (34)	2.7 (18)	1.6 (11)	1.1 (7.7)	0.91 (6)
2	1200	400	326.4	110 (740)	55 (390)	28 (180)	15 (100)	7.6 (57)	4 (32)	2.4 (16)	1.6 (12)
1	2400	800	652.8	870 (5600)	430 (2900)	220 (1400)	110 (670)	56 (370)	28 (180)	14 (100)	7.6 (52)

表30. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系, 低功耗模式

滤波器字 (十进制)	输出数据速率 (SPS)	输出数据速率 (零延迟模式) (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
2047	1.17	0.39	24 (21.7)	23.8 (21.4)	23.6 (21)	23 (20.7)	22.4 (20.1)	21.9 (19.5)	21.2 (18.9)	20.5 (18.2)
480	5	1.67	23.2 (20.6)	22.9 (20.3)	22.6 (19.9)	22 (19.5)	21.4 (18.9)	20.9 (18.4)	20.2 (17.7)	19.6 (17.1)
240	10	3.33	22.7 (20.1)	22.4 (19.8)	22.1 (19.3)	21.5 (18.9)	20.9 (18.4)	20.4 (17.9)	19.8 (17.2)	19.1 (16.6)
160	15	5	22.4 (19.8)	22.1 (19.5)	21.8 (19)	21.2 (18.6)	20.6 (18)	20.1 (17.6)	19.5 (16.9)	18.8 (16.2)
80	30	10	21.9 (19.3)	21.6 (19)	21.3 (18.5)	20.7 (18.1)	20.1 (17.5)	19.6 (17)	19 (16.3)	18.3 (15.7)
48	50	16.67	21.5 (18.9)	21.2 (18.6)	20.9 (18.1)	20.3 (17.6)	19.7 (17.1)	19.2 (16.5)	18.6 (15.9)	17.9 (15.2)
40	60	20	21.4 (18.7)	21.1 (18.4)	20.8 (17.9)	20.2 (17.5)	19.6 (16.9)	19.1 (16.4)	18.5 (15.8)	17.7 (15.1)
20	120	40	20.9 (18.2)	20.6 (17.9)	20.3 (17.4)	19.7 (16.9)	19.1 (16.4)	18.6 (15.9)	18 (15.3)	17.2 (14.6)
10	240	80	20.4 (17.6)	20 (17.2)	19.7 (16.9)	19.1 (16.3)	18.6 (15.9)	18.1 (15.4)	17.4 (14.8)	16.7 (14.1)
5	480	160	19.5 (16.7)	19.2 (16.3)	18.8 (16)	18.2 (15.4)	17.9 (15.1)	17.4 (14.6)	16.8 (14.1)	16.1 (13.5)
3	800	266.67	17.6 (14.8)	17.5 (14.6)	17.4 (14.5)	17.1 (14.2)	16.8 (14.1)	16.6 (13.8)	16.1 (13.3)	15.4 (12.7)
2	1200	400	15.5 (12.7)	15.5 (12.7)	15.4 (12.7)	15.4 (12.6)	15.3 (12.4)	15.2 (12.3)	15 (12.2)	14.5 (11.6)
1	2400	800	12.5 (9.8)	12.5 (9.8)	12.5 (9.8)	12.5 (9.8)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.3 (9.6)

后置滤波器

表31. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 低功耗模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	1.7 (12)	0.96 (5.8)	0.65 (4)	0.45 (2.6)	0.34 (1.9)	0.25 (1.5)	0.2 (1.2)	0.16 (0.92)
20	1.7 (11)	1.1 (6.4)	0.65 (4.2)	0.46 (2.6)	0.36 (1.9)	0.26 (1.5)	0.21 (1.2)	0.17 (0.93)
25	1.8 (11)	1.1 (6.7)	0.68 (4.2)	0.52 (2.7)	0.37 (2)	0.26 (1.6)	0.22 (1.2)	0.17 (1.1)
27.27	1.9 (11)	1.1 (7.3)	0.69 (4.4)	0.54 (2.9)	0.4 (2.1)	0.27 (1.8)	0.23 (1.4)	0.18 (1.3)

表32. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 低功耗模式

输出数据速率(SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
16.67	21.5 (18.8)	21.3 (18.7)	20.9 (18.2)	21.4 (17.9)	19.8 (17.3)	19.3 (16.7)	18.6 (16.1)	17.9 (15.4)
20	21.5 (18.8)	21.2 (18.6)	20.9 (18.2)	20.4 (17.9)	19.7 (17.3)	19.2 (16.7)	18.6 (16.1)	17.8 (15.4)
25	21.4 (18.8)	21.2 (18.5)	20.8 (18.2)	20.2 (17.8)	19.7 (17.3)	19.2 (16.6)	18.5 (15.9)	17.8 (15.1)
27.27	21.3 (18.7)	21.1 (18.4)	20.8 (18.1)	20.2 (17.7)	19.6 (17.2)	19.1 (16.4)	18.4 (15.8)	17.7 (14.9)

快速建立滤波器($Sinc^4 + Sinc^1$ 滤波器)表33. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 低功耗模式(以8为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.27	0.53 (3.4)	0.34 (2.2)	0.19 (1.2)	0.16 (0.97)	0.1 (0.61)	0.082 (0.48)	0.065 (0.38)	0.058 (0.37)
30	7.27	0.89 (5.4)	0.6 (3.6)	0.36 (2.2)	0.27 (1.8)	0.21 (1.2)	0.15 (0.93)	0.12 (0.65)	0.093 (0.59)
6	36.36	2.1 (12)	1.4 (8.3)	0.82 (5.6)	0.64 (3.9)	0.43 (2.7)	0.33 (2.1)	0.25 (1.6)	0.21 (1.4)
5	43.64	2.2 (13)	1.4 (9.7)	0.93 (6.5)	0.71 (4.2)	0.5 (3.1)	0.35 (2.4)	0.28 (1.7)	0.23 (1.5)
2	109.1	3.7 (25)	2.5 (18)	1.5 (10)	1.3 (7.5)	0.86 (5.6)	0.59 (3.5)	0.47 (3.2)	0.39 (2.4)
1	218.18	8.4 (52)	5.4 (34)	3.3 (21)	2.6 (16)	1.6 (9.8)	0.97 (6.1)	0.75 (5.4)	0.63 (4.7)

表34. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 低功耗模式(以8为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.27	23.2 (20.5)	22.8 (20.1)	22.7 (20)	21.9 (19.3)	21.5 (19)	20.9 (18.3)	20.2 (17.6)	19.4 (16.7)
30	7.27	22.4 (19.8)	22 (19.4)	21.7 (19.1)	21.1 (18.4)	20.5 (18)	20 (17.4)	19.4 (16.9)	18.7 (16)
6	36.36	21.2 (18.6)	20.8 (18.1)	20.5 (17.8)	19.9 (17.3)	19.5 (16.8)	18.9 (16.2)	18.3 (15.6)	17.5 (14.8)
5	43.64	21.1 (18.5)	20.7 (18)	20.4 (17.6)	19.8 (17.2)	19.3 (16.6)	18.8 (16)	18.1 (15.5)	17.4 (14.7)
2	109.1	20.4 (17.6)	19.9 (17.1)	19.6 (16.9)	18.9 (16.3)	18.5 (15.8)	18 (15.4)	17.3 (14.6)	16.6 (14)
1	218.18	19.2 (16.6)	18.8 (16.2)	18.5 (15.9)	17.9 (15.2)	17.6 (15)	17.3 (14.7)	16.7 (13.8)	15.9 (13)

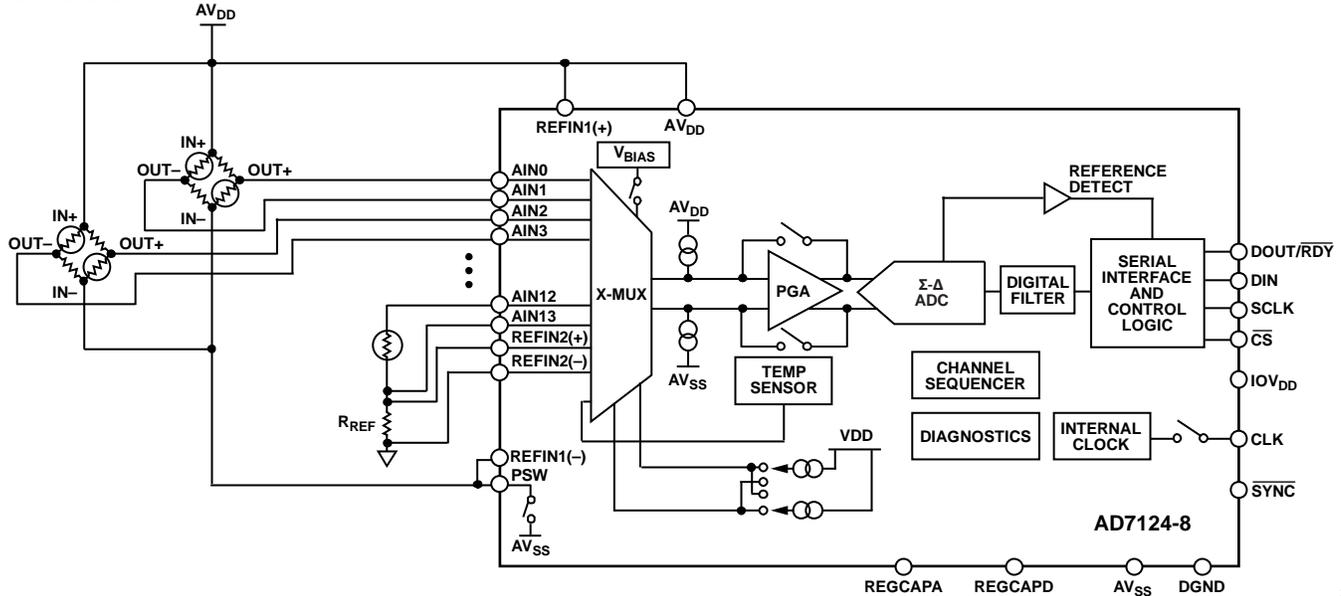
快速建立滤波器($Sinc^3 + Sinc^1$ 滤波器)表35. 均方根噪声(峰峰值噪声)与增益和输出数据速率的关系(μV), 低功耗模式(以8为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.5	0.53 (3.6)	0.33 (2.1)	0.21 (1.4)	0.15 (0.93)	0.11 (0.6)	0.073 (0.44)	0.064 (0.39)	0.051 (0.29)
30	8	0.92 (5.4)	0.58 (3.4)	0.4 (2.3)	0.28 (1.6)	0.2 (1.1)	0.14 (0.79)	0.11 (0.62)	0.094 (0.51)
6	40	2.1 (13)	1.3 (8.3)	0.83 (6)	0.61 (4.1)	0.44 (3)	0.33 (2.1)	0.26 (1.6)	0.21 (1.3)
5	48	2.3 (14)	1.5 (8.6)	0.87 (6.6)	0.7 (4.4)	0.5 (3.3)	0.36 (2.3)	0.3 (1.7)	0.23 (1.4)
2	120	11 (72)	5.9 (39)	3.2 (23)	1.9 (15)	1.1 (8.5)	0.7 (4.7)	0.5 (3.3)	0.4 (2.4)
1	240	88 (530)	45 (250)	22 (140)	11 (82)	5.8 (40)	3 (22)	01.6 (11)	0.94 (6.3)

表36. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系(位), 低功耗模式(以8为基数计算均值)

滤波器字 (十进制)	输出数据速率 (SPS)	增益 = 1	增益 = 2	增益 = 4	增益 = 8	增益 = 16	增益 = 32	增益 = 64	增益 = 128
96	2.5	23.2 (20.4)	22.8 (20.2)	22.5 (19.8)	22 (19.4)	21.4 (19)	21 (18.4)	20.2 (17.6)	19.6 (17)
30	8	22.4 (19.8)	22 (19.5)	21.6 (19)	21.1 (18.6)	20.6 (18.1)	20.1 (17.6)	19.4 (16.9)	18.7 (16.2)
6	40	21.2 (18.6)	20.9 (18.2)	20.5 (17.7)	20 (17.2)	19.4 (16.7)	18.9 (16.2)	18.2 (15.6)	17.5 (14.9)
5	48	21 (18.4)	20.7 (18.1)	20.4 (17.5)	19.8 (17)	19.3 (16.5)	18.7 (16.1)	18 (15.5)	17.4 (14.8)
2	120	18.7 (16.1)	18.7 (16)	18.6 (15.8)	18.3 (15.3)	18.1 (15.2)	17.8 (15)	17.3 (14.6)	16.6 (14)
1	240	15.8 (13.2)	15.8 (13.2)	15.8 (13.2)	15.7 (12.9)	15.7 (12.9)	15.7 (12.8)	15.6 (12.8)	15.3 (12.6)

开始使用



NOTES
1. SIMPLIFIED BLOCK DIAGRAM SHOWN.

图64. 基本连接图

概述

AD7124-8是一款低功耗ADC，内置 Σ - Δ 调制器、缓冲器、基准电压源、增益级和片内数字滤波，主要用于压力传感器、电子秤和温度测量等应用中的宽动态范围、低频信号测量。

功耗模式

AD7124-8提供三种功耗模式：高功率模式、中功率模式和低功耗模式。用户可以非常灵活地控制速度、均方根噪声和电流消耗。

模拟输入

该器件可以有8个差分或15个伪差分模拟输入。模拟输入可以配置为缓冲或无缓冲。AD7124-8采用灵活的多路复用机制，可将任何模拟输入引脚选择为正输入(AINP)或负输入(AINM)。

多路复用器

片内多路复用器可增加器件的通道数。由于片内集成多路复用器，因此，通道的任何变化都与转换过程同步。

基准电压源

该器件内置一个2.5 V基准电压源，其最大温漂为15 ppm/°C。

片内还集成了基准电压缓冲器，其可配合内部基准电压源和外部施加的基准电压源使用。

可编程增益阵列(PGA)

模拟输入信号可以用PGA放大。PGA支持的增益为1、2、4、8、16、32、64和128。

开路测试电流

片内提供两个开路测试电流，其可设置为500 nA、2 μ A或4 μ A，用于检测是否存在外部传感器。

 Σ - Δ 型ADC和滤波器

AD7124-8内置一个四阶 Σ - Δ 调制器，其后接数字滤波器。该器件提供下列滤波器选项：

- Sinc⁴
- Sinc³
- 快速滤波器
- 后置滤波器
- 零延迟

通道序列器的多路复用器

AD7124-8最多支持16个配置或通道。这些通道可以包括模拟输入、基准电压输入或电源，因而电源监控等诊断功能可以与转换交错进行。序列器自动转换所有使能的通道。选择各使能的通道时，产生转换结果所需的时间等于所选通道的建立时间。

各通道独立配置

AD7124-8最多支持8种不同的设置，各设置由增益、输出数据速率、滤波器类型和基准电压源组成。每个通道与一种设置相关。

串行接口

AD7124-8具有3线或4线SPI。片内寄存器通过串行接口访问。

时钟

该器件内置614.4 kHz时钟。使用此时钟或外部时钟作为器件的时钟源。如果外部电路需要时钟源，则也可通过一个引脚提供内部时钟。

温度传感器

片内温度传感器对芯片温度进行监控。

数字输出

AD7124-8具有4个通用数字输出。这些输出可以用于驱动外部电路。例如，可以通过这些输出来控制外部多路复用器。

校准

片内同时集成内部校准和系统校准；因此，用户可以选择只消除器件内部的失调或增益误差，或者消除整个终端系统的失调或增益误差。

激励电流

该器件包含两个激励电流，各自可独立设置为50 μA 、100 μA 、250 μA 、500 μA 、750 μA 或1 mA。

偏置电压

片内集成一个偏置电压发生器，以便适当地偏置热电偶信号。偏置电压设置为 $AV_{DD}/2$ ，可通过任何输入提供。它可以供应多个通道。

电桥功率开关(PSW)

用户可利用一个低端功率开关关断与ADC接口的电桥。

诊断

AD7124-8包括多种诊断功能，例如：

- 基准电压检测
- 过压/欠压检测
- SPI通信的CRC
- 存储器映射的CRC
- SPI读/写检查

这些诊断功能对应用中可能发生的故障实现了高水平覆盖。

电源

AD7124-8采用2.7 V至3.6 V(低功耗或中功率模式)或2.9 V至3.6 V(全功率模式)的模拟电源电压供电。该器件接受1.65 V至3.6 V的数字电源。

该器件有两个独立的电源引脚： AV_{DD} 和 IOV_{DD} 。

- AV_{DD} 以 AV_{SS} 为基准。 AV_{DD} 为给ADC供电的内部模拟稳压器提供电源。
- IOV_{DD} 以DGND为基准。此电源设置SPI接口上的接口逻辑电平，并为一个内部稳压器供电以便进行数字处理。

单电源供电($AV_{SS} = \text{DGND}$)

当AD7124-8采用单个连接到 AV_{DD} 的电源供电时， AV_{SS} 和DGND可以一起短接到单个接地层。在该设置下，当使用真双极性输入时，需要一个外部电平转换电路来转换共模电压。推荐稳压器包括ADP162，其静态电流很低。

分离电源供电($AV_{SS} \neq \text{DGND}$)

AD7124-8允许 AV_{SS} 设为负电压，从而施加真正的双极性输入。这样，无需外部电平转换电路，便可将以0 V为中心的真正全差分输入信号施加于AD7124-8。例如，对于3.6 V分离电源， $AV_{DD} = +1.8 \text{ V}$ 且 $AV_{SS} = -1.8 \text{ V}$ 。这种情况下，AD7124-8在内部对信号进行电平转换，使数字输出可以在DGND(标称值为0 V)与 IOV_{DD} 之间正常工作。

AV_{DD} 和 AV_{SS} 采用分离电源时，必须考虑绝对最大额定值(参见“绝对最大额定值”部分)。确保 IOV_{DD} 设为3.6 V以下，以保持器件的绝对最大额定值范围以内。

数字通信

AD7124-8有一个3线或4线SPI接口，它与QSPI、MICROWIRE和DSP兼容。该接口以SPI模式3工作，在 $\overline{\text{CS}}$ 接低电平时也能工作。在SPI模式3下，SCLK空闲时为高电平，SCLK的下降沿为驱动沿，上升沿为采样沿。这意味着，数据在下降/驱动沿输出，在上升/采样沿输入。



图65. SPI模式3，SCLK边沿

访问ADC寄存器映射

通信寄存器控制对ADC全部寄存器映射的访问。此寄存器是一个8位只写寄存器。上电或复位后，数字接口默认处于期待对通信寄存器执行一个写操作的状态；因此，所有通信均从写入通信寄存器开始。

AD7124-8

写入通信寄存器的数据决定要访问哪一个寄存器，以及下一个操作是读操作还是写操作。寄存器地址位(位5至位0)决定读或写操作的目标寄存器。

当对选定寄存器的读或写操作完成后，接口返回到默认状态，即期待对通信寄存器执行写操作的状态。

当接口同步丧失时，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，可以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果CS配合数字接口使用，让CS变为高电平就能将数字接口重置为默认状态，并中止当前的任何操作。

图66和图67显示了对一个寄存器的读写操作：首先将一个8位命令写入通信寄存器，然后是针对寻址寄存器的数据。

要验证器件通信是否正常，建议读取ID寄存器。ID寄存器是一个只读寄存器，含有针对AD7124-8的值0x12。通信寄存器和ID寄存器详情参见表37和表38。

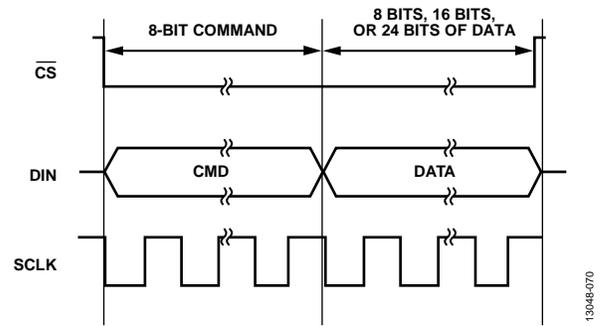


图66. 写入一个寄存器(8位命令和寄存器地址，随后是8位、16位或24位数据；数据长度取决于所选的寄存器)

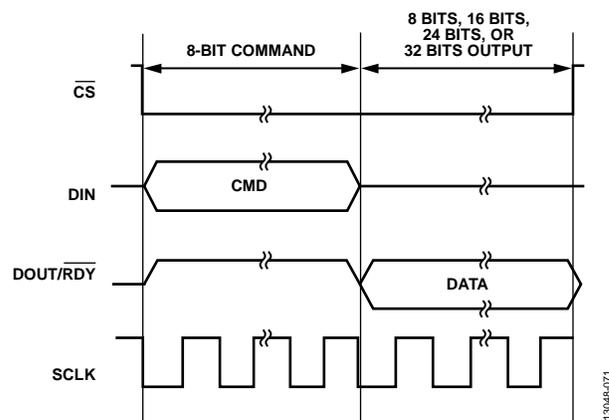


图67. 读取一个寄存器(8位命令和寄存器地址，随后是8位、16位、24位或32位数据；DOUT上的数据长度取决于所选的寄存器，CRC使能)

表37. 通信寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	[7:0]	WEN	R/W			RS[5:0]				0x00	W

表38. ID寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x05	ID	[7:0]		DEVICE_ID				SILICON_REVISION			0x12	R

配置概述

在加电或复位后，AD7124-8的默认配置如下：

- 通道：通道0使能，AIN0被选为正输入，AIN1被选为负输入。选择设置0。
- 设置：输入和基准电压缓冲器禁用，增益设置为1，选择外部基准电压源。
- ADC控制：AD7124-8处于低功耗连续转换模式，内部振荡器使能且用作主时钟源。
- 诊断：唯一使能的诊断是SPI_IGNORE_ERR功能。

注意，这里只展示了少数几种寄存器设置选项，本列表只是一个示例。有关寄存器的完整信息，请参阅“片内寄存器”部分。

图68概要展示了ADC配置的建议更改流程，分为以下三个模块：

- 通道配置(见图68中的框A)
- 设置(见图68中的框B)
- 诊断(见图68中的框C)
- ADC控制(见图68中的框D)

通道配置

AD7124-8有16个独立模拟输入通道和8种独立设置。用户可以选择任意通道上的任何模拟输入对，还可为任何通道选择8种设置中的任意一种，让用户在通道配置方面拥有全面的灵活性。此外，在使用所有差分输入时，每个通道都可以拥有自己的专用设置，这样就可以按通道进行配置。

电源或基准电压源等信号也可以与模拟输入一起用作输入；选中时，它们在内部路由至多路复用器。AD7124-8允许用户定义ADC的16个配置或通道。这一特性允许诊断和转换交替进行。

通道寄存器

利用通道寄存器选择哪些输入引脚是该通道的正模拟输入或负模拟输入。此寄存器还包含通道使能/禁用位和设置选择位，用于选择该通道使用8种可用设置中的哪一种。

当AD7124-8工作时，若有一个以上的通道被使能，通道序列器将按顺序遍历各使能的通道，从通道0到通道15。如果一个通道被禁用，序列器将跳过该通道。通道0的通道寄存器详情如表39所示。

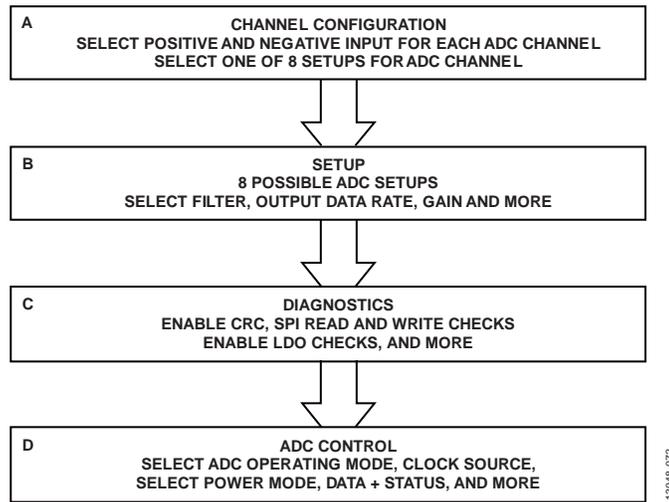


图68. 建议ADC配置流程

表39. 通道0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x09	CHANNEL_0	[15:8]	Enable	Setup			0		AINP[4:3]		0x8001	RW
		[7:0]	AINP[2:0]			AINM[4:0]						

AD7124-8

ADC设置

AD7124-8有8种独立设置。每种设置包括以下四个寄存器：

- 配置寄存器
- 滤波器寄存器
- 失调寄存器
- 增益寄存器

例如，设置0包括配置寄存器0、滤波器寄存器0、失调寄存器0和增益寄存器0。图69展示的是这些寄存器的分组情况。设置可从通道寄存器选择，详见“通道配置”部分。这样可以将每个通道指派给8种独立设置之一。表40至表43显示了设置0相关的四个寄存器。该结构在设置1至设置7重复出现。

配置寄存器

配置寄存器允许用户通过选择双极性或单极性来选择ADC的输出编码。在双极性模式下，ADC支持负差分输入电

压，输出编码为偏移二进制。在单极性模式下，ADC仅支持正差分电压，输出编码为标准二进制。任一情况下，输入电压都必须在 AV_{DD} 和 AV_{SS} 电源电压范围内。用户也可以利用这些寄存器选择基准电压源。有四个选项可用：内部2.5 V基准电压源、连接在REFIN1(+)和REFIN1(-)之间的外部基准电压源、连接在REFIN2(+)和REFIN2(-)之间的外部基准电压源或 AV_{DD} 至 AV_{SS} 。还可以设置PGA增益，提供的增益选项为1、2、4、8、16、32、64和128。该设置的模拟输入缓冲器和基准电压输入缓冲器也可以用该寄存器使能。

滤波器寄存器

滤波器寄存器选择ADC调制器的输出端使用何种数字滤波器。滤波器的类型和输出数据速率通过设置此寄存器的各位来选择。更多信息请参阅“数字滤波器”部分。

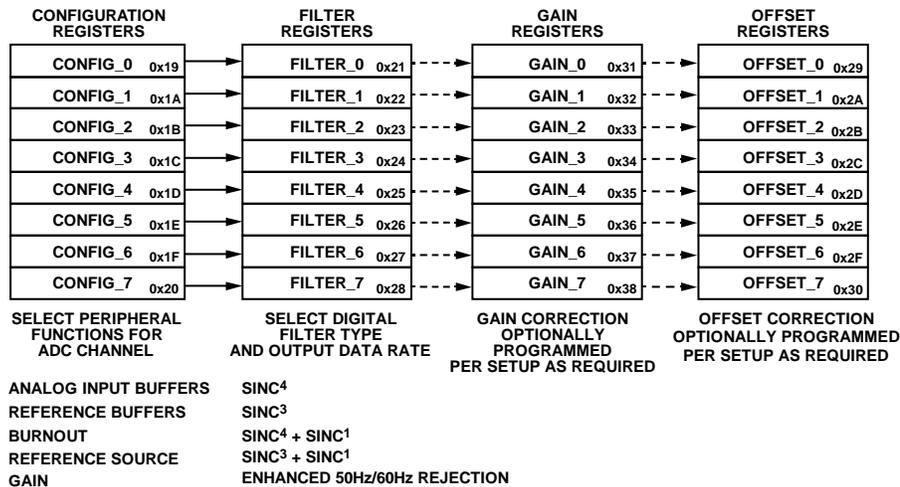


图69. ADC设置寄存器分组情况

表40. 配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x19	CONFIG_0	[15:8]	0				Bipolar	Burnout		REF_BUFP	0x0860	RW
		[7:0]	REF_BUFM	AIN_BUFP	AIN_BUFM	REF_SEL	PGA					

表41. 滤波器0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x28	FILTER_0	[23:9]	Filter			REJ60	POST_FILTER		SINGLE_CYCLE		0x060180	RW
		[15:8]	0				FS[10:8]					
		[7:0]	FS[7:0]									

表42. 失调0寄存器

寄存器	名称	位	位[23:0]							复位	RW
0x29	OFFSET_0	[23:0]	Offset[23:0]							0x800000	RW

表43. 增益0寄存器

寄存器	名称	位	位[23:0]							复位	RW
0x31	GAIN_0	[23:0]	Gain[23:0]							0x5XXXXX	RW

失调寄存器

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。失调寄存器为24位读/写寄存器。如果用户启动内部或系统零电平校准，或者写入失调寄存器，该上电复位值将被自动覆盖。

增益寄存器

增益寄存器是24位寄存器，用来保存ADC的增益校准系数。增益寄存器是读/写寄存器。增益经过工厂校准(增益=1)；因此，默认值随器件而异。如果用户启动内部或系统满量程校准，默认值将被自动覆盖。有关校准的更多信息，请参见“校准”部分。

诊断

ERROR_EN寄存器用于使能和禁用AD7124-8的各种诊断功能。默认使能SPI_IGNORE功能，其指示与ADC通信的时间不当(例如在上电期间和复位期间)。其它诊断功能包括：

- SPI读写检查，确保仅访问有效寄存器
- SCLK计数器，确保使用正确数量的SCLK脉冲
- SPI CRC
- 存储器映射CRC
- LDO检查

使能某项诊断功能时，错误寄存器中就会包含相应的标志位。所有使能的标志进行“或”运算，以控制状态寄存器的ERR标志位。因此，如果发生错误(例如SPI_CRC检查检测到错误)，错误寄存器中的相关标志(例如SPI_CRC_ERR标志)就会置1。状态寄存器中的ERR标志也会置1。这在将状态位附加到转换结果时会很有用。ERR位指示是否发生错误。然后，用户可以读取错误寄存器以了解有关错误来源的更多信息。

片内振荡器的频率也可以通过AD7124-8监控。MCLK_COUNT寄存器监控主时钟脉冲。表44至表46提供了有关诊断寄存器的更多信息。有关可用诊断功能的详细信息，请参见“诊断”部分。

ADC控制寄存器

ADC控制寄存器用于配置供AD7124-8使用的内核外设，同时也用于配置数字接口模式。功耗模式(全功率、中功率或低功耗)通过此寄存器选择。工作模式也通过此寄存器选择，例如连续转换或单次转换。用户也可以选择待机和关断模式以及任何校准模式。此外，该寄存器还包含时钟源选择位和内部基准电压源使能位。基准电压源选择位包含在设置配置寄存器中(更多信息参见“ADC设置”部分)。

数字接口工作模式也是通过ADC控制寄存器选择。利用此寄存器，用户可以使能数据加状态读取和连续读取模式。更多信息请参阅“数字接口”部分。此寄存器详情如表47所示。

表44. 错误寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x06	错误	[23:16]	0				LDO_CAP_ERR	ADC_CAL_ERR	ADC_CONV_ERR	ADC_SAT_ERR	0x000000	R
		[15:8]	AINP_OV_ERR	AINP_UV_ERR	AINM_OV_ERR	AINM_UV_ERR	REF_DET_ERR	0	DLDO_PSM_ERR	0		
		[7:0]	ALDO_PSM_ERR	SPI_IGNORE_ERR	SPI_SCLK_CNT_ERR	SPI_READ_ERR	SPI_WRITE_ERR	SPI_CRC_ERR	MM_CRC_ERR	0		

表45. 错误使能寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x07	ERROR_EN	[23:16]	0	MCLK_CNT_EN	LDO_CAP_CHK_TEST_EN	LDO_CAP_CHK		ADC_CAL_ERR_EN	ADC_CONV_ERR_EN	ADC_SAT_ERR_EN	0x000040	RW
		[15:8]	AINP_OV_ERR_EN	AINP_UV_ERR_EN	AINM_OV_ERR_EN	AINM_UV_ERR_EN	REF_DET_ERR_EN	DLDO_PSM_TRIP_TEST_EN	DLDO_PSM_ERR_EN	ALDO_PSM_TRIP_TEST_EN		
		[7:0]	ALDO_PSM_ERR_EN	SPI_IGNORE_ERR_EN	SPI_SCLK_CNT_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	SPI_CRC_ERR_EN	MM_CRC_ERR_EN	0		

表46. MCLK计数器寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x08	MCLK_COUNT	[7:0]	MCLK_COUNT								0x00	R

表47. ADC控制寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADC_CONTROL	[15:8]	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW
		[7:0]	POWER_MORE		Mode				CLK_SEL			

AD7124-8

了解配置灵活性

在图70、图71和图72中，黑色字体所示寄存器系针对这样配置进行编程。显示为灰色字体的寄存器是冗余的。

AD7124-8最简单的实现方式是采用差分输入和邻近模拟输入，并以相同的设置、增益校正和失调校正寄存器运行所有这些输入。例如，用户需要4个差分输入。在这种情况下，用户选择以下差分输入：AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7。

对于任何应用案例，对增益和失调寄存器进行编程都是可选的，寄存器框图之间的虚线也表明了这一点。如果执行内部或系统失调或满量程校准，所选通道的增益和失调寄存器会自动更新。

实现这4个全差分输入的另一方法是使用8种可用设置。这样做的动因包括：4个差分输入中的一部分与其他输入存在不同的速度、噪声或增益要求，或者特定通道可能有特定的失调或增益校正。图71展示了每个差分输入可能使用独立设置的方式，从而为每个通道的配置带来全面的灵活性。

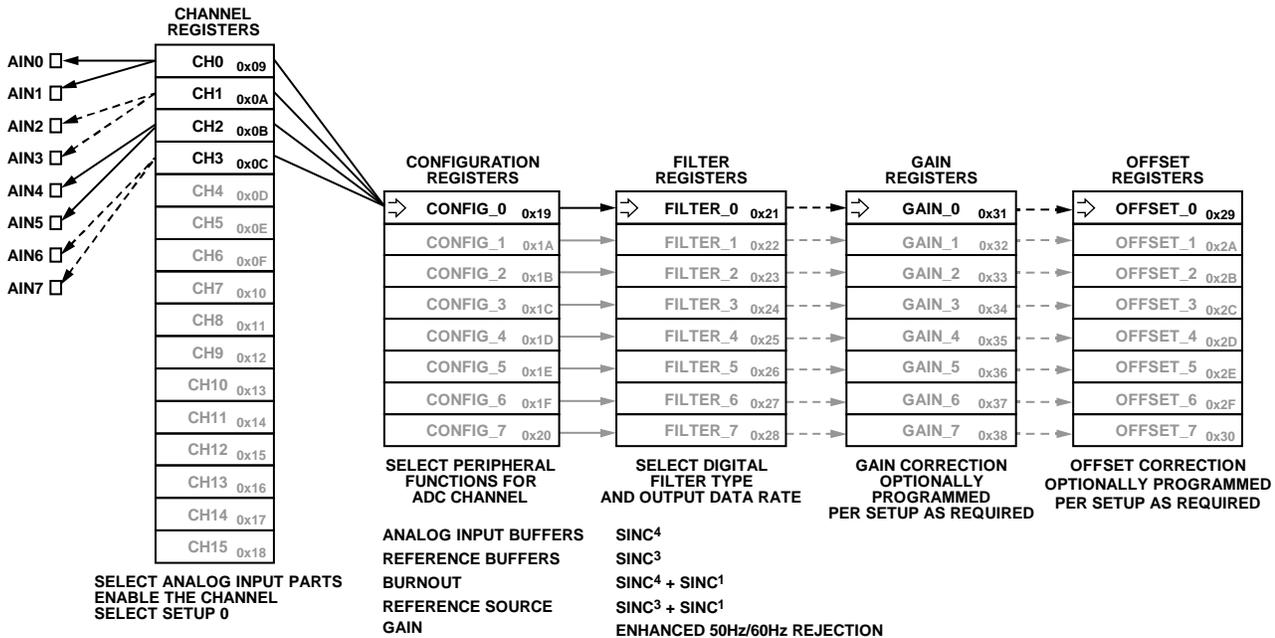


图70. 4个全差分输入，全部使用一种设置(CONFIG_0、FILTER_0、GAIN_0、OFFSET_0)

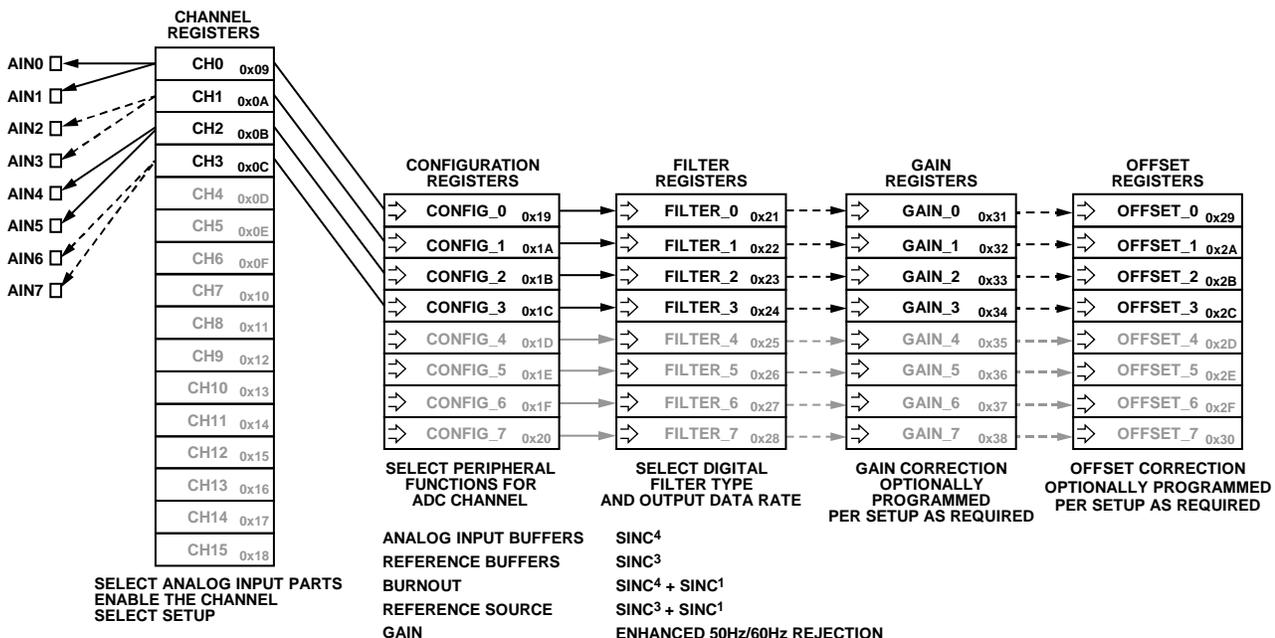


图71. 4个全差分输入(各通道使用不同的设置)

图72中的示例展示了通道寄存器在模拟输入引脚与设置配置下游之间的跨越方式。在该随机示例中，需要2个差分输入和2个单端输入。单端输入为AIN0/AIN7和AIN6/AIN7组合。第一个差分输入对(AIN0/AIN1)采用设置0。2个单端输入对(AIN0/AIN7和AIN6/AIN7)被设为诊断；因此，它们使用单独的设置(设置1)。最后一个差分输入对(AIN2/AIN3)也采用单独的设置：设置2。

鉴于选择了3种设置供使用，因此，根据需要对CONFIG_0、CONFIG_1和CONFIG_2寄存器进行编程，同时还根据需要对FILTER_0、FILTER_1和FILTER_2寄存器进行编程。

通过对GAIN_0、GAIN_1和GAIN_2寄存器以及OFFSET_0、OFFSET_1和OFFSET_2寄存器编程，可以根据具体设置使用可选的增益和失调校正。

在图72所示例子中，使用的是CHANNEL_0至CHANNEL_3寄存器。设置这些寄存器中每一个的MSB(使能位)，通过交叉点多路复用器使能4种组合。当AD7124-8转换时，序列器以升序从CHANNEL_0转到CHANNEL_1，再到CHANNEL_2，然后到CHANNEL_3，最后返回CHANNEL_0，重复整个序列。

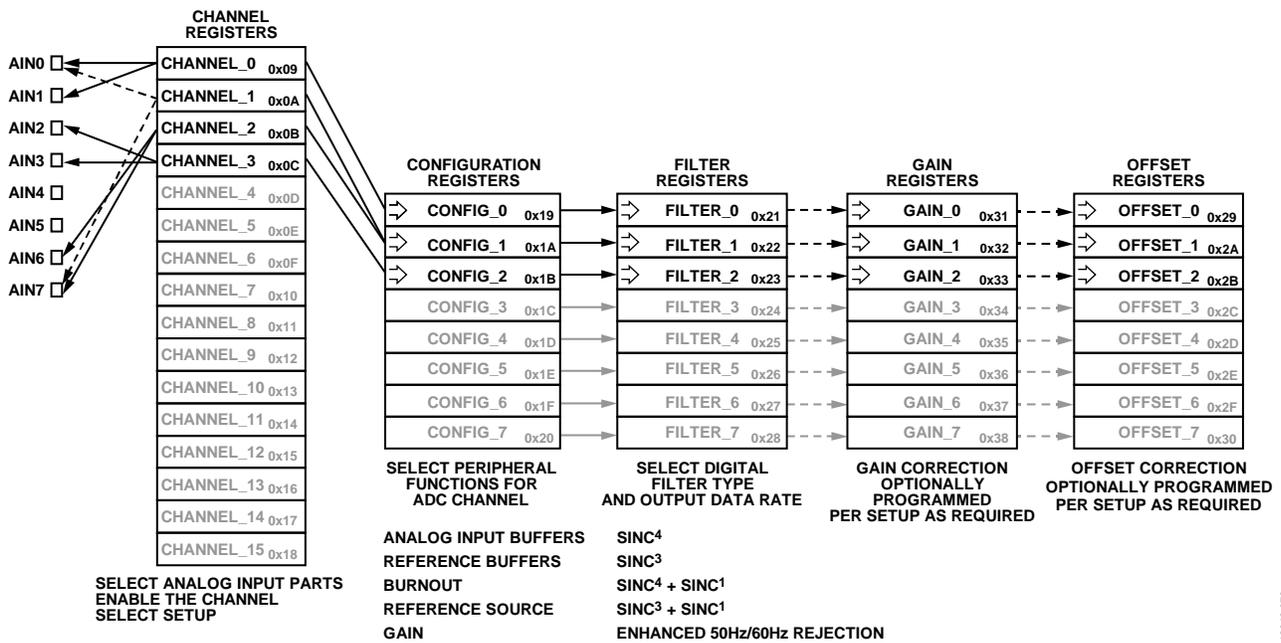


图72. 差分 and 单端混合配置(使用多种共用设置)

13M48-076

ADC电路信息

模拟输入通道

AD7124-8采用灵活的多路复用机制，可将任何模拟输入引脚(AIN0至AIN15)选择为正输入或负输入。利用此特性，用户可以执行诊断功能，例如检查引脚是否连接。它还能简化印刷电路板(PCB)设计。例如，同一PCB可以支持2线、3线和4线电阻温度检测器(RTD)。

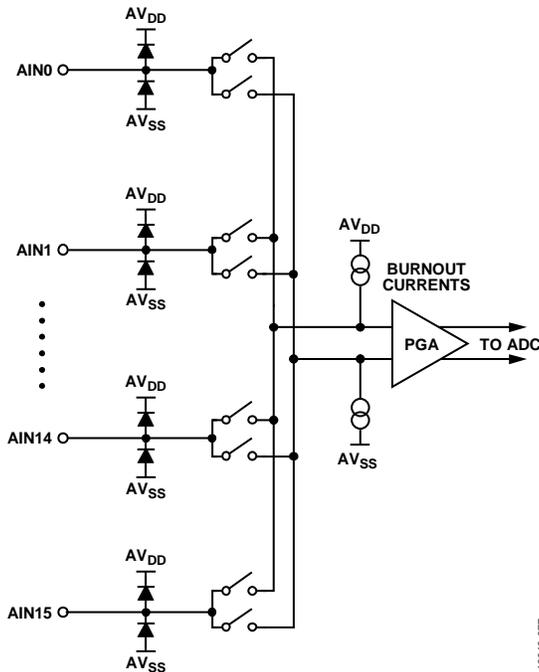


图73. 模拟输入多路复用器电路

通道利用通道寄存器中的AINP[4:0]位和AINM[4:0]位进行配置(见表48)。该器件可配置为8路差分输入、15路伪差分输入或以上二者的组合。使用差分输入时，利用邻近模拟输入引脚构成输入对。使用邻近引脚可将通道间的失配降至最低。

增益为1时，输入可以缓冲或不缓冲；但当增益大于1时，输入自动缓冲。AINP和AINM缓冲器分别通过配置寄存器中的AIN_BUFPP和AIN_BUFPM位使能/禁用(见表49)。在缓冲模式下，输入通道馈入缓冲放大器的高阻抗输入级。因此，输入端能够耐受较大的源阻抗，适合与外部阻性传感器直接相连，例如应变计或RTD等。

当器件在无缓冲模式下工作时，器件具有较高的模拟输入电流。请注意，该无缓冲输入路径向驱动源提供一个动态负载。因此，输入引脚上的电阻与电容(RC)组合可能会引起增益误差，具体取决于驱动ADC输入的信号源输出阻抗。

无缓冲模式下(增益 = 1)，绝对输入电压包含 $AV_{SS} - 50\text{ mV}$ 至 $AV_{DD} + 50\text{ mV}$ 之间的电压。缓冲模式下(增益 = 1)，绝对输入电压范围限于 $AV_{SS} + 100\text{ mV}$ 至 $AV_{DD} - 100\text{ mV}$ 之间。共模电压不得超过这些限值；否则，线性度和噪声性能会下降。

当增益大于1时，模拟输入缓冲器自动使能。输入缓冲器之前的PGA是轨到轨式；因此，这种情况下的绝对输入电压包含 $AV_{SS} - 50\text{ mV}$ 至 $AV_{DD} + 50\text{ mV}$ 之间的电压。

表48. 通道寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x09至0x18	CHANNEL_0至CHANNEL_15	[15:8]	Enable	Setup			0		AINP[4:3]		0x8001	RW
		[7:0]	AINP[2:0]			AINM[4:0]						

表49. 配置寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x19至0x20	CONFIG_0至CONFIG_7	[15:8]	0			Bipolar		Burnout		REF_BUFPP	0x0860	RW
		[7:0]	REF_BUFPM	AIN_BUFPP	AIN_BUFPM	REF_SEL		PGA				

可编程增益阵列(PGA)

如果使能增益级，多路复用器输出将施加于PGA的输入端。PGA的存在意味着小幅度信号可以在AD7124-8内放大，同时仍然保持出色的低噪声性能。

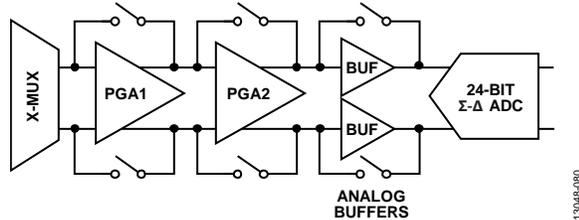


图74. PGA

利用配置寄存器中的PGA位(见表49)，可以将AD7124-8的增益设置为1、2、4、8、16、32、64或128。PGA由两级组成。增益为1时，两级均被旁路。增益为2至8，使用一级；增益大于8时，两级均要使用。

模拟输入范围为 $\pm V_{REF}/\text{增益}$ 。因此，采用2.5 V外部基准电压源时，单极性范围为0 mV - 19.53 mV至0 V - 2.5 V，双极性范围则为 ± 19.53 mV至 ± 2.5 V。对于较高的基准电压值，例如 $V_{REF} = AV_{DD}$ ，必须限制模拟输入范围。有关限值的详细信息，请参见“技术规格”部分。

基准电压源

AD7124-8内置2.5 V基准电压源。该嵌入式基准电压源具有低噪声、低温漂特性，温漂最大值为15 ppm/°C。AD7124-8内置基准电压源可减少热电偶等应用所需的外部元件数量，使PCB尺寸更小。

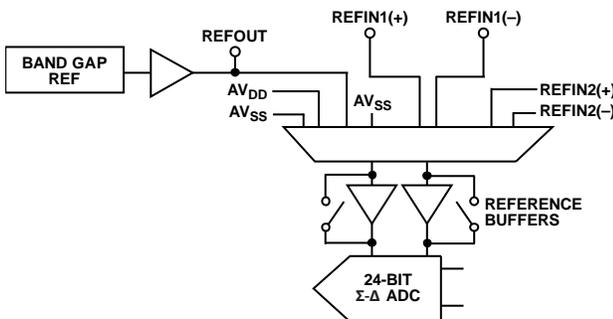


图75. 基准电压连接

此基准电压源可用来为ADC供电(将ADC_CONTROL寄存器中的REF_EN位置1)，或者也可以施加外部基准电压源。利用外部基准电压源时，ADC的通道具有完全差分输入能力。此外，用户可以从两种外部基准电压选项中选择其一(REFIN1或REFIN2)。使用配置寄存器中的REF_SEL位(见表49)选择AD7124-8的基准电压源。内部基准电压源被选中后，基准电压源与调制器在器件内部相连。它还能通过REFOUT引脚提供。当内部基准电压源有效时，REFOUT上需要一个0.1 μ F去耦电容。

当基准电压缓冲器禁用时，差分基准电压输入的共模范围是从 $AV_{SS} - 50$ mV到 $AV_{DD} + 50$ mV。基准电压输入也可以在片内缓冲。缓冲器需要100 mV的裕量。标称基准电压REFIN(REFINx(+) - REFINx(-))为2.5 V，但AD7124-8可以采用1 V至 AV_{DD} 范围内的基准电压工作。

如果应用中模拟输入端的传感器的激励电压或激励电流也为器件提供基准电压，则可以消除激励源中低频噪声的影响，其原因是应用是比率式的。如果在非比率式应用中使用AD7124-8，应使用低噪声基准电压源。

对于AD7124-8，建议使用的2.5 V基准电压源包括ADR4525，其是一个低噪声、低功耗基准电压源。注意，未缓冲的基准电压输入相当于高阻抗、动态负载。由于各基准电压输入的输入阻抗是动态的，如果基准电压输入无缓冲，这些输入上的电阻与电容组合就可能引起直流增益误差，具体取决于驱动基准电压输入的信号源的输出阻抗。

基准电压源通常具有低输出阻抗，因而REFINx(+)上可以有去耦电容，而不会给系统带来增益误差。如果在外部电阻上获取基准输入电压，则意味着基准电压输入端具有很大的外部源阻抗。这种情况下需要使用基准电压缓冲器。

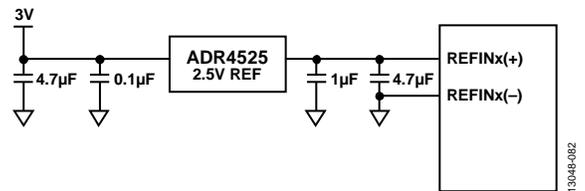


图76. ADR4525与AD7124-8的连接

AD7124-8

双极性/单极性配置

AD7124-8的模拟输入支持单极性或双极性输入电压范围，用户可以根据传感器输出范围调整ADC输入范围。使用分离电源时，器件支持真双极性输入。使用单一电源时，双极性输入范围不代表器件可以耐受相对于系统AV_{SS}的负电压。AINP输入端的双极性和单极性信号以AINM输入端的电压为基准。例如，如果AINM为1.5 V，ADC配置为单极性模式且增益为1，V_{REF} = AV_{DD} = 3 V，则AINP输入端的输入电压范围为1.5 V至3 V。如果ADC配置为双极性模式，则AINP输入端的模拟输入范围为0 V至AV_{DD}。双极性/单极性选项可通过对配置寄存器中的bipolar位进行编程来选择。

数据输出编码

当ADC配置为单极性工作模式时，输出码为自然(直接)二进制码；零差分输入电压对应的码为00...00，中间电平电压对应的码为100...000，满量程输入电压对应的码为111...111。任意模拟输入电压的输出码可以表示为：

$$Code = (2^N \times A_{IN} \times Gain) / V_{REF}$$

当ADC配置为双极性工作模式时，输出码为偏移二进制码；负满量程电压对应的码为000...000，零差分输入电压对应的码为100...000，正满量程输入电压对应的码为111...111。任意模拟输入电压的输出码可以表示为：

$$Code = 2^{N-1} \times [(A_{IN} \times Gain / V_{REF}) + 1]$$

其中：

N = 24。

A_{IN}为模拟输入电压。

Gain为增益设置(1至128)。

激励电流

AD7124-8还包含两个匹配的软件可配置恒流源，其可通过编程设为50 μA、100 μA、250 μA、500 μA、750 μA或1 mA。这些电流源可以用来激励外部阻性电桥或RTD传感器。两个电流源均从AV_{DD}获得电流，并且可以流向任何模拟输入引脚(见图77)。

表50. 输入/输出控制1寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x03	IO_CONTROL_1	[23:16]	GPIO_DAT4	GPIO_DAT3	GPIO_DAT2	GPIO_DAT1	GPIO_CTRL4	GPIO_CTRL3	GPIO_CTRL2	GPIO_CTRL1	0x000000	RW
		[15:8]	PDSW	0	IOUT1			IOUT0				
		[7:0]	IOUT1_CH				IOUT0_CH					

提供电流的引脚可利用IO_CONTROL_1寄存器中的IOUT1_CH和IOUT0_CH位设置(见表50)。各电流源的幅度利用IO_CONTROL_1寄存器中的IOUT1和IOUT0位独立设置。此外，两个电流源可以输出到同一模拟输入引脚。

注意，使用激励电流时，无需使能片内基准电压源。

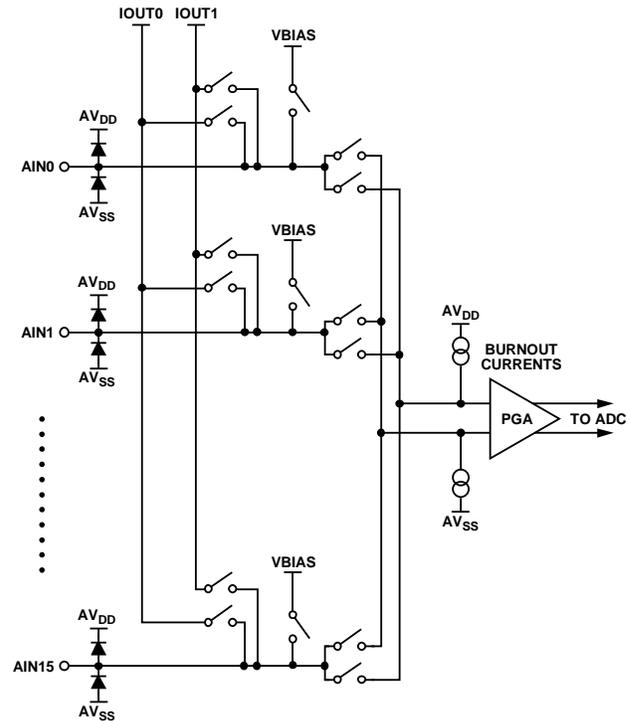


图77. 激励电流和偏置电压连接

电桥关断开关

在应变计和称重传感器等电桥应用中，电桥本身会消耗系统中的大部分电流。例如，采用3 V电源激励时，350 Ω称重传感器需要8.6 mA电流。为降低系统功耗，可以利用电桥关断开关来断开电桥(当它不用时)。该开关可以承受30 mA的连续电流，导通电阻最大值为10 Ω。IO_CONTROL_1寄存器中的PDSW位控制该开关。

逻辑输出

AD7124-8具有4个通用数字输出：P1至P4。这些输出通过IO_CONTROL_1寄存器中的GPIO_CTRL位使能(见表50)。这些引脚可以通过该寄存器中的GPIO_DATx位拉高或拉低，即引脚的值由GPIO_DATx位的设置决定。这些引脚的逻辑电平由 AV_{DD} 而不是 IOV_{DD} 决定。读取IO_CONTROL_1寄存器时，GPIO_DATx位反映引脚的实际值，可用于短路检测。

可以用这些引脚驱动外部电路，如外部多路复用器等。当使用外部多路复用器来提高通道数时，多路复用器逻辑引脚可以通过AD7124-8通用输出引脚进行控制。通用输出引脚可以用来选择有效的多路复用器引脚。由于多路复用器的操作独立于AD7124-8，因此每次切换多路复用器通道时，均应利用SYNC引脚或写入模式/配置寄存器来复位调制器和滤波器。

偏置电压发生器

AD7124-8内置一个偏置电压发生器(见图77)。它将选定输入通道的负端偏置到 $(AV_{DD} - AV_{SS})/2$ 。此功能在热电偶应用中很有用，因为当ADC采用单电源供电时，热电偶所产生的电压必须相对于某个直流电压偏置。偏置电压发生器通过IO_CONTROL_2寄存器中的VBIASx位控制(见表52)。偏置电压发生器的上电时间取决于负载电容的大小。详情参见“技术规格”部分。

表52. 输入/输出控制2寄存器

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x04	IO_CONTROL_2	VBIAS15	VBIAS14	VBIAS13	VBIAS12	VBIAS11	VBIAS10	VBIAS9	VBIAS8	0x0000	RW
		VBIAS7	VBIAS6	VBIAS5	VBIAS4	VBIAS3	VBIAS2	VBIAS1	VBIAS0		

表53. ADC控制寄存器

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADC_CONTROL	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW
		POWER_MODE		Mode			CLK_SEL				

时钟

AD7124-8内置一个614.4 kHz片内时钟，其容差为±5%。使用此时钟或外部时钟作为AD7124-8的时钟源。时钟源通过ADC_CONTROL寄存器中的CLK_SEL位选择(见表53)。

该内部时钟也可以通过CLK引脚提供。当应用中使用多个ADC，并且这些器件必须同步时，这种方法很有用。一个器件的内部时钟可以用作系统中所有ADC的时钟源。使用公共时钟时，对所有器件施加公共复位信号，或者用脉冲驱动SYNC引脚，便可使所有器件同步。

功耗模式

AD7124-8提供三种功耗模式：全功率模式、中功率模式和低功耗模式。功耗模式通过ADC_CONTROL寄存器中的POWER_MODE位来选择。功耗模式会影响器件的功耗，改变主时钟频率。器件使用614.4 kHz时钟。然而，内部会对此时钟进行分频，分频系数取决于功耗模式。因此，输出数据速率范围和性能会受到功耗模式影响。

表51. 功耗模式

功耗模式	主时钟 (kHz)	输出数据速率 ¹ (SPS)	电流
全功率	614.4	9.37至19,200	参见“技术规格”部分
中功率	153.6	2.34至4800	
低功耗	76.8	1.17至2400	

¹ 未建立，使用 $\text{sinc}^3/\text{sinc}^4$ 滤波器。

AD7124-8

待机和关断模式

在待机模式下，大部分模块被关断。LDO仍然有效，因此寄存器保持其内容不变。基准电压源、内部振荡器、数字输出P1至P4、偏置电压发生器和低端功率开关若使能，则仍然有效。需要时，也可以通过设置相应的位来禁用这些模块。在待机模式下，激励电流、基准电压检测和LDO电容检测功能禁用。

当ADC处于待机模式时，其它诊断若使能则继续有效。待机模式下可以使能或禁用诊断功能。然而，任何需要主时钟的诊断功能(欠压/过压检测、LDO跳闸测试、存储器映射CRC和MCLK计数器)都必须在ADC处于连续转换模式或空闲模式时使能；在待机模式下使能时，这些诊断不起作用。

仅使能LDO时，待机电流典型值为15 μ A。如果偏置电压发生器等功能在待机模式下仍然有效，则电流典型值会提高36 μ A。如果内部振荡器在待机模式下仍然有效，则电流典型值会提高22 μ A。退出待机模式时，AD7124-8需要130个MCLK周期来完成上电和建立。

在关断模式下，所有模块均被关断，包括LDO。所有寄存器丧失其内容，数字输出P1至P4被置于三态。为防止意外进入关断模式，必须首先将ADC置于待机模式。退出关断模式需要在 $\overline{CS} = 0$ 且 $DIN = 1$ 时提供64个SCLK周期，即执行串行接口复位。AD7124-8需要2 ms(典型值)来完成上电和建立。可以监控状态寄存器中的POR_FLAG位来判断上电/建立周期是否结束。经过此时间后，用户便可访问片内寄存器。关断电流典型值为2 μ A。

数字接口

AD7124-8利用一组片内寄存器控制其可编程功能。数据通过串行接口写入这些寄存器。此接口还提供对这些片内寄存器的读取访问。与器件进行的所有通信均必须以对通信寄存器的写操作开始。上电或复位之后，器件期待对其通信寄存器执行写操作。写入此寄存器的数据决定下一个操作是读操作还是写操作，以及此读操作或写操作发生在哪一个寄存器上。因此，对其它寄存器的写入访问是以对通信寄存器的写操作开始，然后是对选定的寄存器执行写操作。对其它寄存器的读操作(选择连续读取模式除外)是以对通信寄存器的写操作开始，然后是对选定的寄存器执行读操作。

AD7124-8的串行接口包含四个信号： \overline{CS} 、DIN、SCLK和DOUT/ \overline{RDY} 。DIN线将数据传输至片内寄存器，DOUT/ \overline{RDY} 则从片内寄存器获取数据。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN上还是DOUT/ \overline{RDY} 上)均与SCLK信号相关。DOUT/ \overline{RDY} 引脚也可用作数据就绪信号；当输出寄存器中有新数据字可用时，该线路变为低电平。对数据寄存器的读操作完成时，该线路复位为高电平。数据寄存器更新之前，它也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。 \overline{CS} 用来选择器件。在多个器件与串行总线相连的系统中，它可以用于对AD7124-8进行解码。

图3和图4显示了与AD7124-8进行接口的时序图，其中 \overline{CS} 用于解码该器件。图3显示了对AD7124-8的输出移位寄存器执行读操作的时序。图4显示了对输入移位寄存器执行写操作的时序。连续SPI通信之间需要一个延迟时间。图5显示了SPI读/写操作之间所需的延迟。即使在第一次读操作之后DOUT/ \overline{RDY} 线路返回到高电平，也可以多次从数据寄存器中读取相同的字。不过，必须确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

当 \overline{CS} 处于低电平状态时，串行接口可以在三线式模式下工作。这种情况下，SCLK、DIN和DOUT/ \overline{RDY} 线路用于与AD7124-8通信。可以用状态寄存器中的RDY位监视转换是否结束。这种方案适合与微控制器进行接口。如果 \overline{CS} 需要用作解码信号，可以从端口引脚中产生。在微控制器接口应用中，建议在每两次数据传输之间将SCLK置为高电平。

\overline{CS} 也可以用作帧同步信号。这种方案适用于DSP接口。此时，由于在DSP中， \overline{CS} 一般出现在SCLK的下降沿之后，因此第一位(MSB)会被 \overline{CS} 有效地送出。只要遵守时序数要求，SCLK便可在数据转换之间继续运行。

当诊断功能SPI_READ_ERR、SPI_WRITE_ERR或SPI_SCLK_CNT_ERR使能时， \overline{CS} 必须用于帧读写操作，ADC_CONTROL寄存器中的 $\overline{CS_EN}$ 位必须置1。

对DIN输入写入一连串的1，可以复位串行接口。详情见“复位”部分。复位操作使接口返回到等待对通信寄存器执行写操作的状态。

AD7124-8可以配置为连续转换模式或单次转换模式(参见图78至图80)。

单次转换模式

在单次转换模式下，AD7124-8执行一次转换，完成转换后即被置于空闲模式。AD7124-8退出待机模式需要130个MCLK周期。若主时钟存在(外部主时钟或内部振荡器使能)，则DOUT/RDY变为低电平表示转换完成。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如必要，即使DOUT/RDY为高电平，也可以多次读取数据寄存器。

如果使能了多个通道，ADC将自动遍历各使能通道，并在各通道上执行转换。开始转换后，DOUT/RDY变为高电平并保持该状态，直到获得有效转换结果且 $\overline{\text{CS}}$ 变为低电平。一旦获得转换结果，DOUT/RDY便会变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，用户可以读取当前的转换结果。下一转换完成后，数据寄存器便会更新；因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回空闲模式。

如果ADC_CONTROL寄存器中的DATA_STATUS位设置为1，则每次执行数据读取时，状态寄存器的内容将与转换结果一同输出。状态寄存器的4个LSB表示对应的转换通道。

连续转换模式

连续转换模式是上电后的默认转换模式。AD7124-8连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果 $\overline{\text{CS}}$ 为低电平，则完成一次转换时，DOUT/RDY线路也会变为低电平。若要读取转换结果，应写入通信寄存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如需要，用户可以多次读取该寄存器。但用户必须确保在下一次转换完成前，不访问数据寄存器；否则，新的转换结果将丢失。

如果使能了多个通道，ADC将自动遍历各使能通道，在每个通道上执行一次转换。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，DOUT/RDY引脚均会变为低电平。然后，用户可以读取转换结果，同时ADC转换下一个使能通道。

如果ADC_CONTROL寄存器中的DATA_STATUS位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器指示对应的转换通道。

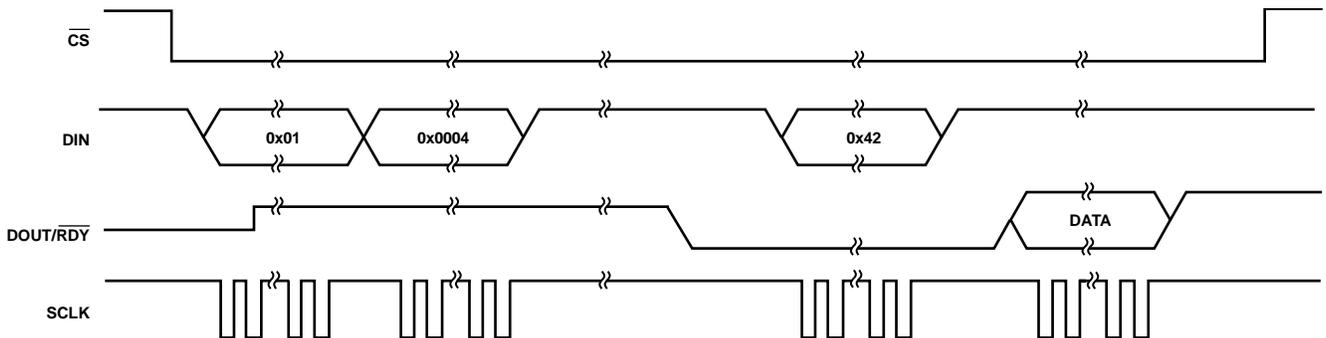


图78. 单次转换配置

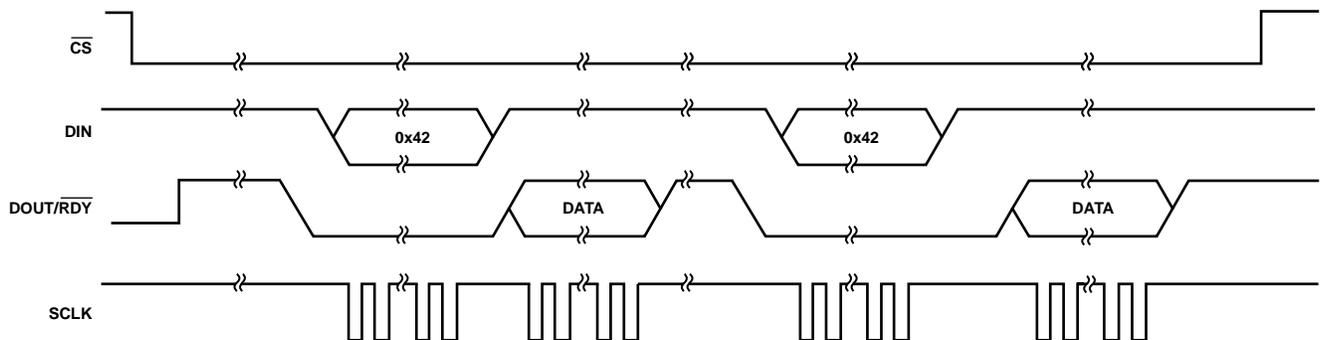


图79. 连续转换配置

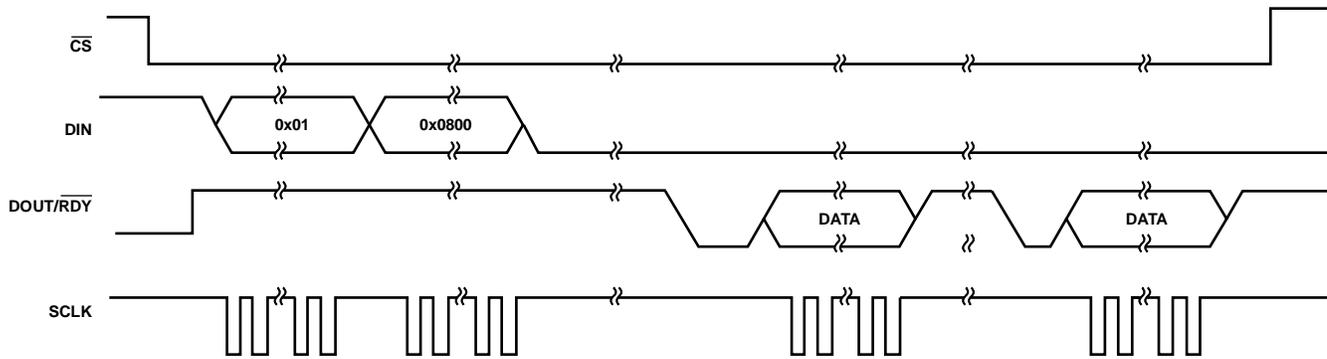


图80. 连续读取配置

连续读取模式

在连续读取模式下，读取ADC数据之前不需要写入通信寄存器，只需在DOUT/RDY变为低电平(表示转换结束)后提供所需数量的SCLK。读取转换结果后，DOUT/RDY返回到高电平，直到下一转换结果可用为止。这种模式下，数据只能被读取一次，而且应确保在下一转换完成前读取数据字。如果在下一转换完成之前，用户尚未读取转换结果，或者为AD7124-8提供的串行时钟数不足以完成对转换字的读取，则当下一转换完成时，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。要使用连续读取模式，ADC必须配置为连续转换模式。

要使能连续读取模式，应将ADC_CONTROL寄存器的CONT_READ位设置为1。此位设置为1时，唯一可能的串行接口操作是读取数据寄存器。要退出连续读取模式，应在RDY低电平时发出一个伪读取ADC数据寄存器命令(0x42)，或者应用软件复位，即在CS=0且DIN=1时提供64个SCLK，从而复位ADC及所有寄存器内容。接口被置于连续读取模式后只能识别这些命令。在连续读取模式下，DIN必须保持低电平，直到有指令将要写入该器件。

使能多个ADC通道时，各通道轮流输出；如果ADC_CONTROL寄存器的DATA_STATUS置1，数据将为附加状态位。状态寄存器指示对应的转换通道。

DATA_STATUS

可以将状态寄存器的内容附加到AD7124-8的每次转换结果。使能多个通道时，此功能很有用。每次输出转换结果时，都会附加状态寄存器的内容。状态寄存器的4个LSB表示对应的转换通道。此外，用户可以通过ERROR_FLAG位确定是否发生错误。要将状态寄存器的内容附加到各转换结果上，应将ADC_CONTROL寄存器中的DAT_STATUS位设置为1。

串行接口复位(DOUT_RDY_DEL和CS_EN位)

AD7124-8的DOUT/RDY引脚从DOUT引脚变为RDY引脚的时刻是可编程的。默认情况下，DOUT/RDY引脚在最后一个SCLK上升沿(即处理器读取LSB的SCLK沿)后的一定时间之后改变功能。默认情况下，此时间的最小值为10 ns；将ADC_CONTROL寄存器中的DOUT_RDY_DEL位置1，可将其延长到110 ns(最小值)。

若将ADC_CONTROL寄存器中的CS_EN位置1，则功能变换由CS上升沿控制。这种情况下，DOUT/RDY引脚继续输出所读取寄存器的LSB，直到CS变为高电平。只有在CS上升沿，该引脚才会从DOUT引脚变为RDY引脚。利用CS信号控制所有读操作时，此配置很有用。如果不使用CS来控制所有读操作，CS_EN应设为0，使得DOUT/RDY在读操作的最后一个SCLK沿之后改变功能。

当诊断功能SPI_READ_ERR、SPI_WRITE_ERR和SPI_SCLK_CNT_ERR使能时，CS_EN位必须置1，并且CS信号必须用于所有帧读写操作。

串行接口总是在CS上升沿复位，即接口复位到已知状态，等待对通信寄存器的写操作。因此，若通过执行多个8位数据传输来执行一次读或写操作，CS必须保持低电平，直至所有位传输完毕。

复位

对AD7124-8连续写入64个1，可以将器件的电路和串行接口复位。这将复位逻辑、数字滤波器和模拟调制器，从而所有片内寄存器复位为默认值。上电时会自动执行复位操作。复位需要90个MCLK周期的时间。状态寄存器中的POR_FLAG位在复位启动时置1，在复位完成时置0。如果SCLK线路上的噪声导致串行接口变为异步状态，则需要执行复位以恢复同步功能。

校准

AD7124-8提供四种校准模式，可用在单设置基础上消除失调和增益误差：

- 内部零电平校准模式
- 内部满量程校准模式
- 系统零电平校准模式
- 系统满量程校准模式

校准期间只能有一个通道有效。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。

失调寄存器的默认值是0x800000，增益寄存器的标称值是0x5XXXXX。ADC增益的校准范围是 $0.4 \times V_{REF}/\text{增益}$ 至 $1.05 \times V_{REF}/\text{增益}$ 。

下面是各种模式使用的计算公式。在单极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right) \times \frac{Gain}{0x400000} \times 2$$

在双极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right) \times \frac{Gain}{0x400000} + 0x800000$$

为启动校准，应将适当的值写入ADC_CONTROL寄存器的mode位。启动校准后，DOUT/ \overline{RDY} 引脚和状态寄存器的RDY位变为高电平。校准完成时，相应失调或增益寄存器的内容会更新，状态寄存器的 \overline{RDY} 位复位，DOUT/ \overline{RDY} 引脚变回低电平(如果 \overline{CS} 为低电平)，并且AD7124-8返回空闲模式。

内部失调校准期间，所选正模拟输入引脚断开，内部连接到所选的负模拟输入引脚。因此，必须确保所选负模拟输入引脚上的电压不超过允许的限值，并且没有过大的噪声和干扰。

为执行内部满量程校准，满量程输入电压会自动与此校准选定的模拟输入端相连。每次更改一个通道的增益时，均建议执行满量程校准，从而使满量程误差最小。执行初始校准时，必须先执行内部满量程校准，再执行内部零电平

校准。因此，执行内部满量程校准之前应向失调寄存器写入值0x800000，确保失调寄存器处于默认值。

系统校准要求在启动校准模式之前，将系统零电平(失调)和系统满量程(增益)电压施加于ADC引脚，这样可以消除ADC的外部误差。系统零电平校准必须在系统满量程校准之前执行。

从操作上来看，校准就像另一次ADC转换。对系统软件进行设置，以监视状态寄存器的 \overline{RDY} 位或DOUT/ \overline{RDY} 引脚，进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。

完成内部/系统失调校准和系统满量程校准所需的时间等于所选滤波器的建立时间。内部满量程校准所需的时间等于1个建立周期(增益为1时)或4个建立周期(增益大于1时)。

校准可以在任意输出数据速率下执行。使用较低的数据速率可以获得更高的校准精度，并且对所有输出数据速率都是精确的。如果一个通道的基准电压源或增益发生改变，则该通道需要重新校准。

失调和系统满量程校准可以在任意功耗模式下执行。内部满量程校准只能在低功耗或中功率模式下执行。因此，使用全功率模式时，用户必须选择中功率或低功耗模式来执行内部满量程校准。然而，如果使用相同的增益，则在低功耗或中功率模式下执行的内部满量程校准在全功率模式下也有效。

增益为1到8时，失调误差典型值为 $\pm 15 \mu\text{V}$ ；对于更高的输出数据速率，失调误差典型值为 $(\pm 200/\text{增益}) \mu\text{V}$ 。内部或系统失调校准可将失调误差降至与噪声相当。增益误差在环境温度下且增益为1时经过出厂校准。校准之后，增益误差最大值为 $\pm 0.0025\%$ 。因此，AD7124-8不支持增益为1时的内部满量程校准。对于其它增益，增益误差为 -0.3% 。增益为2到8时，环境温度下的内部满量程校准可将增益误差最大值降至 $\pm 0.016\%$ ；增益更高时，增益误差典型值降至 $\pm 0.025\%$ 。系统满量程校准可将增益误差降至与噪声相当。

用户可以访问AD7124-8的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己在EEPROM中预先存储的校准系数。读写失调和增益寄存器可以在内部或自校准以外的任意时间执行。校准寄存器中的值为24位。也可以使用这些寄存器操控器件的跨度和失调。

AD7124-8

跨度和失调限值

使用系统校准模式时，可以支持的失调和跨度量总是有限的。确定器件可支持的失调和增益量的最重要要求是正满量程校准限值 $\leq 1.05 \times V_{REF}/\text{增益}$ 。这使得输入范围可以比标称范围高出5%。AD7124-8模拟调制器的内在裕量确保在正满量程电压比标称值高出5%时，器件仍能正常工作。

单极性和双极性模式下的输入跨度范围最小值为 $0.8 \times V_{REF}/\text{增益}$ ，最大值为 $2.1 \times V_{REF}/\text{增益}$ 。然而，跨度(AD7124-8输入范围底部与顶部之差)必须考虑正满量程电压的限制。可以支持的失调量取决于使用的是单极性模式还是双极性模式。失调必须考虑正满量程电压的限制。单极性模式下，处理负失调(相对于AINM)有相当大的灵活性。在单极性和双极性模式下，器件可以处理的正失调范围取决于所选的跨度。因此，确定系统零电平和满量程校准的限值时，用户必须确保失调范围加跨度范围不超过 $1.05 \times V_{REF}/\text{增益}$ 。这一点最好通过几个例子来说明。

如果器件用在单极性模式下，所需的跨度为 $0.8 \times V_{REF}/\text{增益}$ ，则系统校准可以处理的失调范围是从 $-1.05 \times V_{REF}/\text{增益}$ 到 $+0.25 \times V_{REF}/\text{增益}$ 。如果器件用在单极性模式下，所需的跨度为 $V_{REF}/\text{增益}$ ，则系统校准可以处理的失调范围是从 $-1.05 \times V_{REF}/\text{增益}$ 到 $+0.05 \times V_{REF}/\text{增益}$ 。同样，如果器件用在单极性模式下，需要消除的失调为 $0.2 \times V_{REF}/\text{增益}$ ，则系统校准可以处理的跨度范围为 $0.85 \times V_{REF}/\text{增益}$ 。

如果器件用在双极性模式下，所需的跨度为 $\pm 0.4 \times V_{REF}/\text{增益}$ ，则系统校准可以处理的失调范围是从 $-0.65 \times V_{REF}/\text{增益}$ 到 $+0.65 \times V_{REF}/\text{增益}$ 。如果器件用在双极性模式下，所需的跨度为 $\pm V_{REF}/\text{增益}$ ，则系统校准可以处理的失调范围是从 $-0.05 \times V_{REF}/\text{增益}$ 到 $+0.05 \times V_{REF}/\text{增益}$ 。同样，如果器件用在双极性模式下，需要消除的失调为 $\pm 0.2 \times V_{REF}/\text{增益}$ ，则系统校准可以处理的跨度范围为 $\pm 0.85 \times V_{REF}/\text{增益}$ 。

系统同步

利用SYNC输入，用户可以复位调制器和数字滤波器，而不会影响器件的任何设置条件。这样，用户就可以从已知时间点，即SYNC的上升沿开始采集模拟输入的样本。要实现同步功能，应让SYNC保持低电平至少4个主时钟周期。

如果多个AD7124-8器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。SYNC引脚的下降沿使数字滤波器和模拟调制器复位，并将AD7124-8置于一致的已知状态。在SYNC引脚为低电平期间，AD7124-8保持该状态。在SYNC上升沿，调制器和滤波器离开复位状态；在下一时钟沿，器件再次开始采集输入样本。在使用多个AD7124-8器件的系统中，施加于SYNC引脚的一个公共信号会使这些器件的操作同步。这一般是在各AD7124-8已执行自身的校准或已将校准系数载入其校准寄存器之后进行。这样，所有AD7124-8的转换结果将同步。

该器件在SYNC由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时，在主时钟上升沿使SYNC引脚变为高电平，确保所有器件均在主时钟下降沿开始采样。如果SYNC引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

SYNC引脚也可以用作启动转换命令。这种模式下，SYNC的上升沿启动转换，RDY的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。例如，如果ADC配置为使用sinc⁴滤波器且禁用零延迟，则建立时间等于 $4/f_{ADC}$ ，其中 f_{ADC} 为单个通道上连续转换时的输出数据速率。

数字滤波器

表54. 滤波器寄存器

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x21至0x28	FILTER_0至FILTER_7	Filter			REJ60	POST_FILTER			SINGLE_CYCLE	0x060180	RW
		0					FS[10:8]				
		FS[7:0]									

AD7124-8在数字滤波器方面拥有很大的灵活性。该器件具有多个滤波器选项。所选的滤波器会影响输出数据速率、建立时间和50 Hz/60 Hz抑制性能。下面详细介绍每种滤波器，同时指出每个滤波器选项可用的输出数据速率。同时还会讨论滤波器响应、建立时间及50 Hz/60 Hz抑制性能。

滤波器寄存器中的filter位用于选择不同类型的sinc滤波器。

SINC⁴滤波器

AD7124-8上电时默认选择sinc⁴滤波器。该滤波器在整个输出数据速率范围内具有出色的噪声性能。同时还提供最佳50 Hz/60 Hz抑制性能，但建立时间较长。图81中的灰色模块不使用。

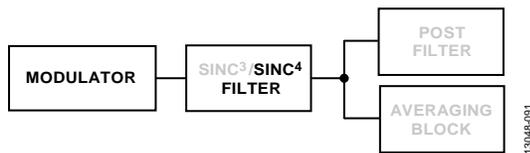


图81. Sinc⁴滤波器

Sinc⁴输出数据速率/建立时间

输出数据速率(ADC连续转换时，单一通道上提供转换结果的速率)等于：

$$f_{ADC} = f_{CLK} / (32 \times FS[10:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(全功率模式下为614.4 kHz，中功率模式下为153.6 kHz，低功耗模式下为76.8 kHz)。

FS[10:0]为滤波器寄存器中的FS[10:0]位的十进制等效值。

FS[10:0]值的范围是1到2047。

输出数据速率的编程范围为：

- 9.38 SPS至19,200 SPS(全功率模式)
- 2.35 SPS至4800 SPS(中功率模式)
- 1.17 SPS至2400 SPS(低功耗模式)

sinc⁴滤波器的建立时间等于：

$$t_{SETTLE} = (4 \times 32 \times FS[10:0] + Dead Time) / f_{CLK}$$

其中，Dead Time = 60(FS[10:0] = 1时)或94(FS[10:0] > 1时)。

通道切换时，调制器和滤波器将复位。切换通道后，需要为第一次转换留出足够的建立时间。接下来在这个通道上的转换会以 $1/f_{ADC}$ 的速率进行。

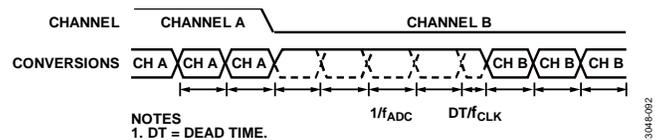


图82. Sinc⁴通道切换

在单个通道上进行转换且发生阶跃变化时，ADC不会检测出模拟输入的变化。因此它会以设定的输出数据速率继续输出转换结果。然而，在输出数据精确反映模拟输入之前，至少要经过四次转换。如果在ADC处理转换过程中发生阶跃变化，则ADC将在阶跃变化之后执行五次转换，以产生完全建立的结果。

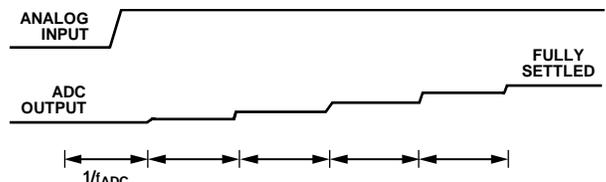


图83. 模拟输入的异步阶跃变化

sinc⁴滤波器的3 dB频率等于：

$$f_{3dB} = 0.23 \times f_{ADC}$$

表55以部分示例展示了FS[10:0]值与相应的输出数据速率和建立时间之间的关系。

表55. 输出数据速率与相应的建立时间示例 (Sinc⁴滤波器)

功耗模式	FS[10:0]	输出数据速率(SPS)	建立时间(ms)
全功率($f_{CLK} = 614.4$ kHz)	1920	10	400.15
	384	50	80.15
	320	60	66.82
中功率($f_{CLK} = 153.6$ kHz)	480	10	400.61
	96	50	80.61
	80	60	67.28
低功耗($f_{CLK} = 76.8$ kHz)	240	10	401.22
	48	50	81.22
	40	60	67.89

AD7124-8

Sinc⁴零延迟

将滤波器寄存器中的SINGLE_CYCLE位设置为1可启用零延迟。采用零延迟时，单通道连续转换的转换时间约等于建立时间。该模式的优势在于，无论转换是在一个通道上发生的还是使用了多个通道，所有转换之间的时间间隔都类似。当模拟输入在单个通道上连续采样时，输出数据速率等于：

$$f_{ADC} = f_{CLK} / (4 \times 32 \times FS[10:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率。

FS[10:0]为设置滤波器寄存器中的FS[10:0]位的十进制等效值。

当用户选择另一个通道时，第一次转换有一个额外延迟，其等于：

$$Dead\ Time / f_{CLK}$$

其中，Dead Time = 60(FS[10:0] = 1时)或94(FS[10:0] > 1时)。

采用低输出数据速率时，该额外延迟几乎不会对建立时间的数值造成影响。不过，采用高输出数据速率时，必须考虑到该延迟。表56通过部分FS[10:0]值总结了单通道连续转换时的输出数据速率和切换通道时的建立时间。

切换通道时，AD7124-8允许利用完整的建立时间来在通道改变后产生第一个转换结果。因此，使能多个通道时，ADC会自动进入零延迟模式，也就是说设置SINGLE_CYCLE位不会产生任何作用。

表56. 输出数据速率与相应的建立时间示例 (Sinc⁴滤波器，零延迟)

功耗模式	FS[10:0]	输出数据速率(SPS)	建立时间 (ms)
全功率($f_{CLK} = 614.4\text{ kHz}$)	1920	2.5	400.15
	384	12.5	80.15
	320	15	66.82
中功率($f_{CLK} = 153.6\text{ kHz}$)	480	2.5	400.61
	96	12.5	80.61
	80	15	67.28
低功耗($f_{CLK} = 76.8\text{ kHz}$)	240	2.5	401.22
	48	12.5	81.22
	40	15	67.89

当模拟输入不变或者通道发生变化时，将以几乎恒定的输出数据速率提供有效的转换结果。在单通道上进行转换且模拟输入发生阶跃变化时，如果阶跃变化与转换过程同步，则ADC会继续输出完全建立的转换结果。如果阶跃变化不同步，则ADC会输出一个未完全建立的转换结果(见图84)。

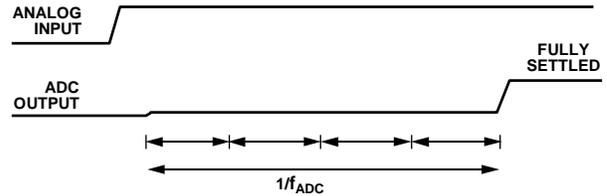


图84. Sinc⁴零延迟操作

序列器

手动切换通道时，例如写入器件以更改通道时，“Sinc⁴滤波器”部分中的说明是有效的。使能多个通道时，器件会自动使用片内序列器，自动按顺序转换所有使能的通道。这种情况下，第一个转换需要表55所列出的完整建立时间。对于随后的所有转换，各转换所需的时间同样等于建立时间，但死区时间减至30。

Sinc⁴ 50 Hz和60 Hz抑制

图85显示了输出数据速率设置为50 SPS且禁用零延迟时sinc⁴滤波器的频率响应特性。对于相同的配置但零延迟使能时，滤波器响应保持不变，但输出数据速率为12.5 SPS。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)以上的50 Hz (±1 Hz)抑制性能。

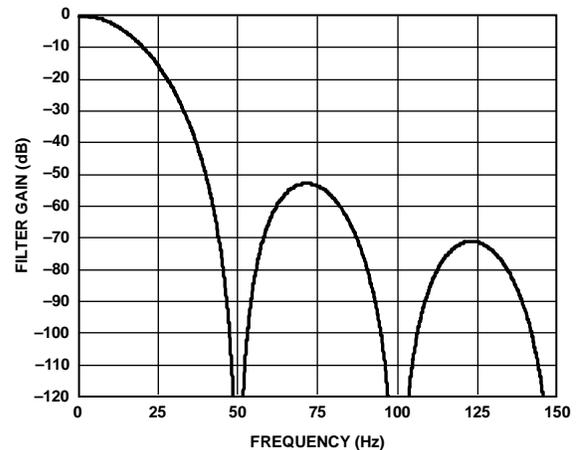


图85. Sinc⁴滤波器响应(50 SPS输出数据速率、零延迟禁用或12.5 SPS输出数据速率、零延迟使能)

图86显示了输出数据速率设置为60 SPS且禁用零延迟时sinc⁴滤波器的频率响应特性。对于相同的配置但零延迟使能时，滤波器响应保持不变，但输出数据速率为15 SPS。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)的60 Hz(±1 Hz)抑制性能。

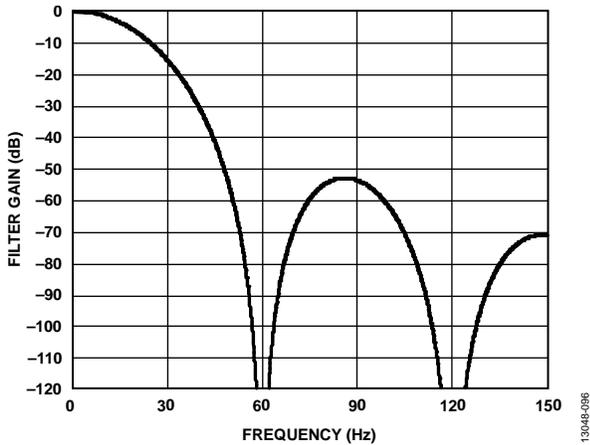


图86. Sinc⁴滤波器响应(60 SPS输出数据速率、零延迟禁用或15 SPS输出数据速率、零延迟使能)

当输出数据速率为10 SPS且禁用零延迟时，或当输出数据速率为2.5 SPS且使能零延迟时，可实现50 Hz和60 Hz同时抑制。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)的50 Hz(±1 Hz)和60 Hz(±1 Hz)抑制性能。

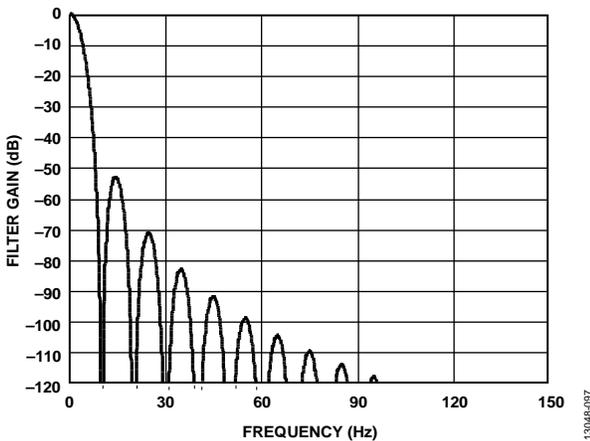


图87. Sinc⁴滤波器响应(10 SPS输出数据速率、零延迟禁用或2.5 SPS输出数据速率、零延迟使能)

也可以利用滤波器寄存器中的REJ60位，实现50 Hz/60 Hz同时抑制。当sinc滤波器将陷波频率置于50 Hz时，REJ60位可将一阶陷波频率置于60 Hz。禁用零延迟时，输出数据速率为50 SPS，使能零延迟时为12.5 SPS。图88所示为sinc⁴滤波器的频率响应。假设主时钟保持稳定，则该滤波器可提供82 dB(最小值)的50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制性能。

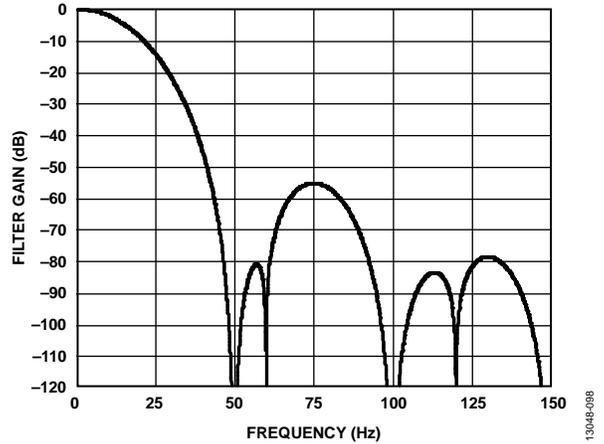


图88. Sinc⁴滤波器响应(50 SPS输出数据速率、零延迟禁用或12.5 SPS输出数据速率、零延迟使能，REJ60 = 1)

SINC³滤波器

可以用sinc³滤波器代替sinc⁴滤波器。滤波器通过滤波器寄存器中的filter位来选择。此滤波器具有良好的噪声性能，建立时间和50 Hz/60 Hz(±1 Hz)抑制性能属于中等水平。图89中的灰色模块不使用。

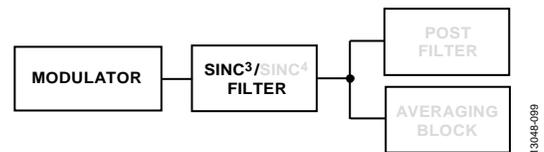


图89. Sinc³滤波器

Sinc³输出数据速率和建立时间

输出数据速率(ADC连续转换时，单一通道上提供转换结果的速率)等于：

$$f_{ADC} = f_{CLK} / (32 \times FS[10:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(全功率模式下为614.4 kHz，中功率模式下为153.6 kHz，低功耗模式下为76.8 kHz)。

FS[10:0]为滤波器寄存器中的FS[10:0]位的十进制等效值。FS[10:0]值的范围是1到2047。

输出数据速率的编程范围为：

- 9.38 SPS至19,200 SPS(全功率模式)
- 2.35 SPS至4800 SPS(中功率模式)
- 1.17 SPS至2400 SPS(低功耗模式)

sinc³滤波器的建立时间等于：

$$t_{SETTLE} = (3 \times 32 \times FS[10:0] + Dead Time) / f_{CLK}$$

其中，Dead Time = 60(FS[10:0] = 1时)或94(FS[10:0] > 1时)。

3 dB频率等于

$$f_{3dB} = 0.272 \times f_{ADC}$$

AD7124-8

表57给出了部分FS[10:0]设置以及相应的输出数据速率和建立时间的示例。

表57. 输出数据速率与相应的建立时间示例 (Sinc³滤波器)

功耗模式	FS[10:0]	输出数据速率(SPS)	建立时间(ms)
全功率($f_{CLK} = 614.4 \text{ kHz}$)	1920	10	300.15
	384	50	60.15
	320	60	50.15
中功率($f_{CLK} = 153.6 \text{ kHz}$)	480	10	300.61
	96	50	60.61
	80	60	50.61
低功耗($f_{CLK} = 76.8 \text{ kHz}$)	240	10	301.22
	48	50	61.22
	40	60	51.22

通道切换时，调制器和滤波器将复位。通道发生变化后，需要为第一次转换留出完整的建立时间(见图90)。接下来在这个通道上的转换会以 $1/f_{ADC}$ 的速率进行。

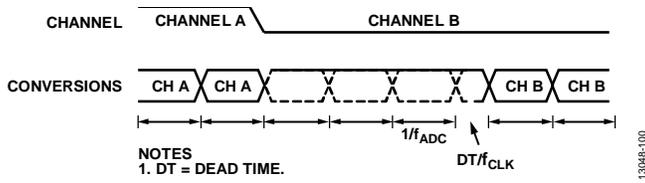


图90. Sinc³通道切换

在单个通道上进行转换且发生阶跃变化时，ADC不会检测出模拟输入的变化。因此它会以设定的输出数据速率继续输出转换结果。然而，在输出数据精确反映模拟输入之前，至少要经过三次转换。如果在ADC处理转换过程中发生阶跃变化，则ADC将在阶跃变化之后执行四次转换，以产生完全建立的结果。

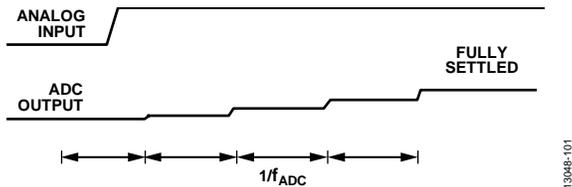


图91. 模拟输入的异步阶跃变化

Sinc³零延迟

将滤波器寄存器中的SINGLE_CYCLE位设置为1可使能零延迟。采用零延迟时，单通道连续转换的转换时间约等于建立时间。该模式的优势在于，无论转换是在一个通道上发生的还是使用了多个通道，所有转换之间的时间间隔都类似。

当模拟输入在单个通道上连续采样时，输出数据速率等于：

$$f_{ADC} = f_{CLK} / (3 \times 32 \times FS[10:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率。

FS[10:0]为滤波器寄存器中的FS[10:0]位的十进制等效值。

切换通道时，第一次转换有一个额外延迟，其等于：

$$Dead\ Time \cdot f_{CLK}$$

其中，Dead Time = 60(FS[10:0] = 1时)或94(FS > 1时)。

采用低输出数据速率时，该额外延迟几乎不会对建立时间的数值造成影响。不过，采用高输出数据速率时，必须考虑到该延迟。表58通过部分FS[10:0]示例总结了单通道连续转换时的输出数据速率和切换通道时的建立时间。

当用户选择另一个通道时，AD7124-8允许利用完整的建立时间来在通道改变后产生第一个转换结果。因此，使能多个通道时，ADC会自动进入零延迟模式，也就是说设置SINGLE_CYCLE位不会产生任何作用。

当模拟输入不变或者通道发生变化时，将以几乎恒定的输出数据速率提供有效的转换结果。在单通道上进行转换且模拟输入发生阶跃变化时，如果阶跃变化与转换过程同步，则ADC会继续输出完全建立的转换结果。如果阶跃变化不同步，则ADC会输出一个未完全建立的转换结果(见图92)。

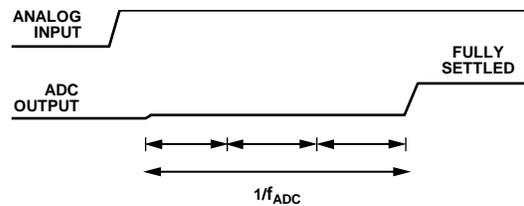


图92. Sinc³零延迟操作

表58. 输出数据速率与相应的建立时间示例 (Sinc³滤波器，零延迟)

功耗模式	FS[10:0]	输出数据速率(SPS)	建立时间(ms)
全功率($f_{CLK} = 614.4 \text{ kHz}$)	1920	3.33	300.15
	384	16.67	60.15
	320	20	50.15
中功率($f_{CLK} = 153.6 \text{ kHz}$)	480	3.33	300.61
	96	16.67	60.61
	80	20	50.61
低功耗($f_{CLK} = 76.8 \text{ kHz}$)	240	3.33	301.22
	48	16.67	61.22
	40	20	51.22

序列器

手动切换通道时，例如写入器件以更改通道时，“Sinc³滤波器”部分中的说明是有效的。使能多个通道时，器件会自动使用片内序列器，自动按顺序转换所有使能的通道。这种情况下，第一个转换需要表57所列出的完整建立时间。对于随后的所有转换，各转换所需的时间同样等于建立时间，但死区时间减至30。

Sinc³ 50 Hz和60 Hz抑制

图93显示了输出数据速率设置为50 SPS且禁用零延迟时sinc³滤波器的频率响应特性。对于相同的配置但零延迟使能时，滤波器响应保持不变，但输出数据速率为16.67 SPS。假设主时钟保持稳定，则sinc³滤波器可提供95 dB(最小值)的50 Hz ± 1 Hz抑制性能。

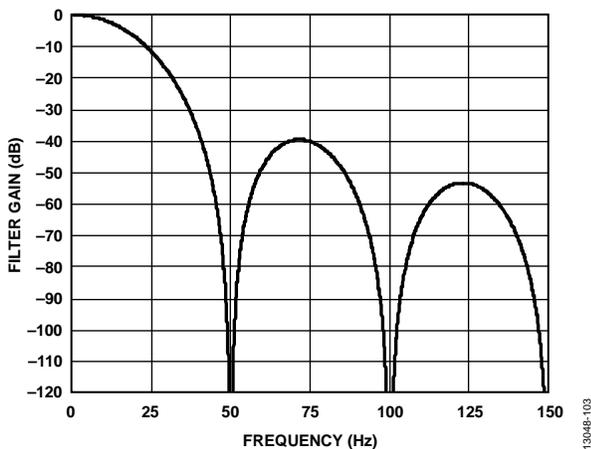


图93. Sinc³滤波器响应(50 SPS输出数据速率、零延迟禁用或16.67 SPS输出数据速率、零延迟使能)

图94显示了输出数据速率设置为60 SPS且禁用零延迟时sinc³滤波器的频率响应特性。对于相同的配置但零延迟使能时，滤波器响应保持不变，但输出数据速率为20 SPS。假设主时钟保持稳定，则sinc³滤波器可提供95 dB(最小值)的60 Hz ± 1 Hz抑制性能。

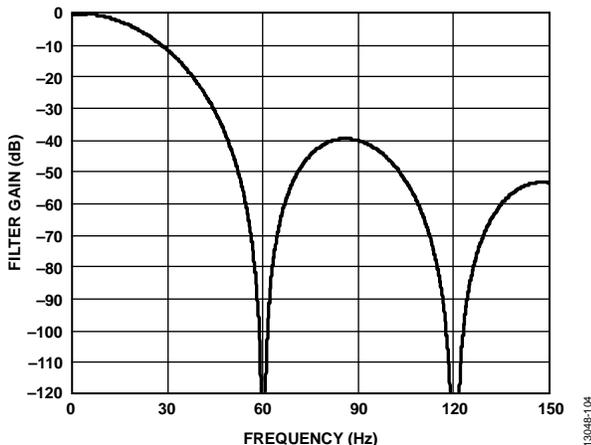


图94. Sinc³滤波器响应(60 SPS输出数据速率、零延迟禁用或20 SPS输出数据速率、零延迟使能)

当输出数据速率为10 SPS且禁用零延迟时，或当输出数据速率为3.33 SPS且使能零延迟时，可实现50 Hz和60 Hz同时抑制。sinc³滤波器可提供100 dB(最小值)的50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制性能(见图95)。

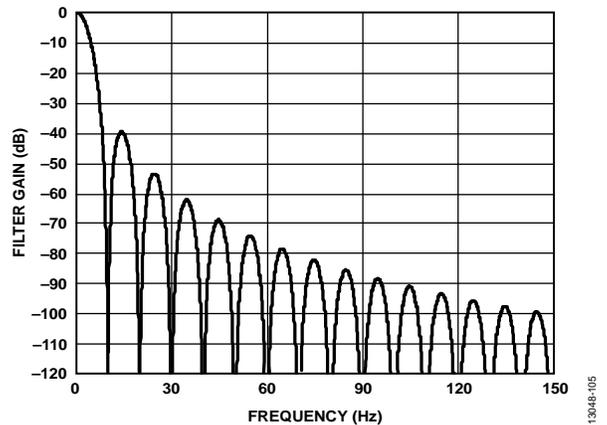


图95. Sinc³滤波器响应(10 SPS输出数据速率、零延迟禁用或3.33 SPS输出数据速率、零延迟使能)

也可以利用滤波器寄存器中的REJ60位，实现50 Hz和60 Hz同时抑制。当sinc滤波器将陷波频率置于50 Hz时，REJ60位可将一阶陷波频率置于60 Hz。禁用零延迟时，输出数据速率为50 SPS，使能零延迟时为16.67 SPS。图96所示为sinc³滤波器在这种配置下的频率响应。假设时钟保持稳定，50 Hz和60 Hz(±1 Hz)的抑制性能超过67 dB(最小值)

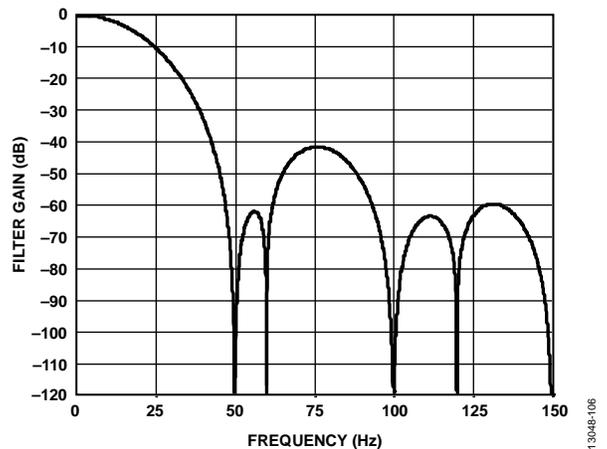


图96. Sinc³滤波器响应(50 SPS输出数据速率、零延迟禁用或16.67 SPS输出数据速率、零延迟使能，REJ60 = 1)

快速建立模式(SINC⁴ + SINC¹滤波器)

在快速建立模式下，建立时间接近第一个滤波器陷波频率的倒数；因此，在接近1/50 Hz或1/60 Hz的输出数据速率下，用户可以实现50 Hz和/或60 Hz抑制性能。建立时间约等于1/输出数据速率。因此，在单个通道上进行转换或者在多个通道上进行转换的转换时间几乎是恒定的。

AD7124-8

通过滤波器寄存器中的filter位使能快速建立模式。在快速建立模式下，在sinc⁴滤波器之后有一个sinc¹滤波器。sinc¹滤波器在全功率和中功率模式下以16为基数求均值，在低功耗模式下以8为基数求均值。图97中的灰色模块不使用。

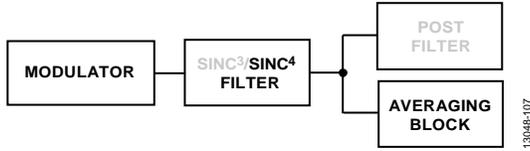


图97. 快速建立模式(Sinc⁴ + Sinc¹滤波器)

输出数据速率和建立时间(Sinc⁴ + Sinc¹滤波器)

单通道连续转换时，输出数据速率为：

$$f_{ADC} = f_{CLK} / ((4 + Avg - 1) \times 32 \times FS[10:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(全功率模式下为614.4 kHz，中功率模式下为153.6 kHz，低功耗模式下为76.8 kHz)。

Avg为16(全功率和中功率模式)或8(低功耗模式)。

FS[10:0]为滤波器寄存器中的FS[10:0]位的十进制等效值。

FS[10:0]值的范围是1到2047。

当用户选择另一个通道时，第一次转换有一个额外延迟。建立时间等于

$$t_{SETTLE} = ((4 + Avg - 1) \times 32 \times FS[10:0] + Dead Time) / f_{CLK}$$

其中，Dead Time = 94。

3 dB频率等于

$$f_{3dB} = 0.44 \times f_{ADC}$$

表59给出了部分FS[10:0]设置以及相应的输出数据速率和建立时间的示例。

表59. 输出数据速率与相应的建立时间示例 (快速建立模式, Sinc⁴ + Sinc¹)

功耗模式	FS[10:0]	第一陷波 (Hz)	输出数据速率 (SPS)	建立时间 (ms)
全功率($f_{CLK} = 614.4$ kHz, 以16为基数求均值)	120	10	8.42	118.9
	24	50	42.11	23.9
	20	60	50.53	19.94
中功率($f_{CLK} = 153.6$ kHz, 以16为基数求均值)	30	10	8.42	119.36
	6	50	42.11	24.36
	5	60	50.53	20.4
低功耗($f_{CLK} = 76.8$ kHz, 以8为基数求均值)	30	10	7.27	138.72
	6	50	36.36	28.72
	5	60	43.64	24.14

当模拟输入不变或者通道发生变化时，将以几乎恒定的输出数据速率提供有效的转换结果。

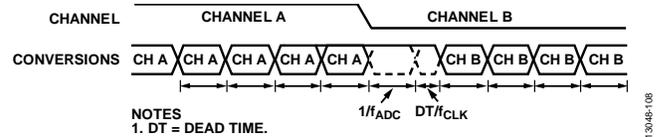


图98. 快速建立(Sinc⁴ + Sinc¹滤波器)

当器件在单个通道上进行转换且模拟输入发生阶跃变化时，ADC不会检测出变化，并继续输出转换结果。如果阶跃变化与转换同步，则ADC只会输出完全建立的结果。然而，如果阶跃变化与转换过程不同步，则会立即产生结果，即未完全建立的转换结果(见图99)。

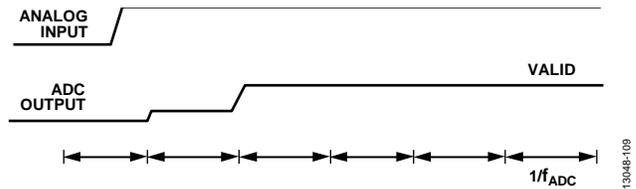


图99. 模拟输入的阶跃变化(Sinc⁴ + Sinc¹滤波器)

序列器

手动切换通道时，例如写入器件以更改通道时，“快速建立模式(Sinc⁴ + Sinc¹滤波器)”部分中的说明是有效的。使能多个通道时，器件会自动使用片内序列器，自动按顺序转换所有使能的通道。这种情况下，第一个转换需要表59所列出的完整建立时间。对于随后的所有转换，各转换所需的时间同样等于建立时间，但死区时间减至30。

50 Hz和60 Hz抑制(Sinc⁴ + Sinc¹滤波器)

图100所示为FS[10:0]设为24(全功率模式)或6(中功率模式或低功耗模式)时的频率响应。表59列出了相应的输出数据速率。sinc滤波器将第一个陷波频率置于

$$f_{NOTCH} = f_{CLK} / (32 \times FS[10:0])$$

sinc¹滤波器将陷波频率置于 f_{NOTCH} / Avg (Avg在全功率和中功率模式下为16，在低功耗模式下为8)。此频率的倍数也是陷波频率；因此，当FS[10:0]设为6(全功率或中功率模式)时，sinc滤波器导致的陷波频率为800 Hz，均值导致的陷波频率为50 Hz及其倍数。在低功耗模式下，sinc滤波器导致的陷波频率为400 Hz，均值导致的陷波频率为50 Hz及其倍数。

50 Hz的陷波为一阶陷波，因此，该陷波并不宽。假设主时钟保持稳定，这就意味着50 Hz处可以取得良好的抑制性能。然而，在50 Hz ± 1 Hz频段，抑制性能会显著下降。假设时钟保持稳定，50 Hz ± 0.5 Hz时的抑制性能为40 dB(最小值)；因此，使用快速建立模式时，建议采用优质的主时钟源。

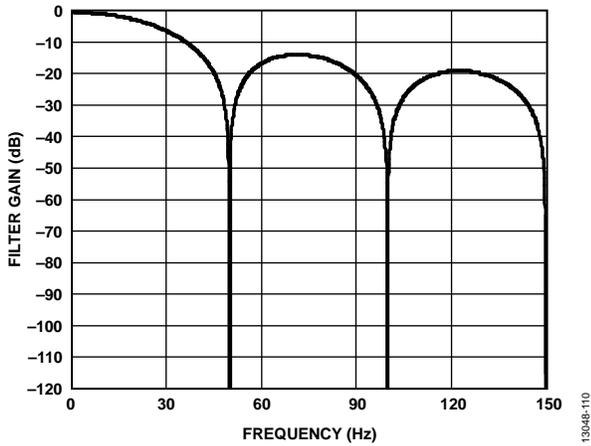


图100. 50 Hz抑制

图101所示为FS[10:0]设为20(全功率模式)或5(中功率和低功耗模式)时的滤波器响应。这种情况下,陷波频率为60 Hz及其倍数。60 Hz ± 0.5 Hz时的抑制性能等于40 dB(最小值)。

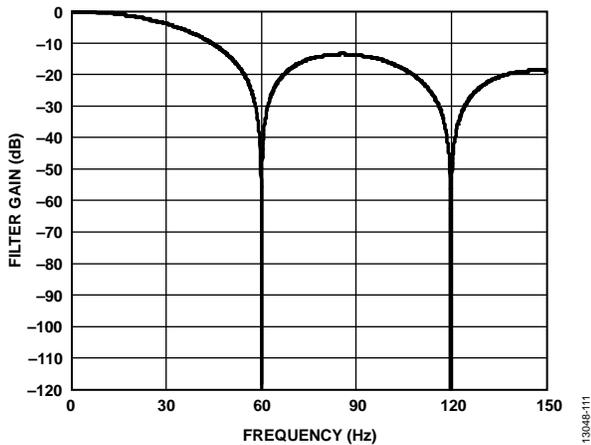


图101. 60 Hz抑制

当FS[10:0]设为384(全功率模式)或30(中功率和低功耗模式)时,可实现50 Hz/60 Hz同时抑制。陷波频率为10 Hz及其倍数,因而能够同时抑制50 Hz和60 Hz。50 Hz ± 0.5 Hz和60 Hz ± 0.5 Hz的抑制性能典型值为44 dB。

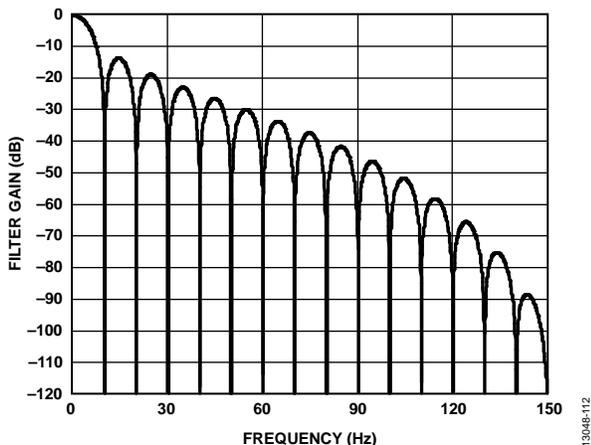


图102. 50 Hz和60 Hz同时抑制

快速建立模式(SINC³ + SINC¹滤波器)

在快速建立模式下,建立时间接近第一个滤波器陷波频率的倒数;因此,在接近1/50 Hz或1/60 Hz的输出数据速率下,用户可以实现50 Hz和/或60 Hz抑制性能。建立时间约等于1/输出数据速率。因此,在单个通道上进行转换或者在多个通道上进行转换的转换时间几乎是恒定的。

通过滤波器寄存器中的filter位使能快速建立模式。在快速建立模式下,在sinc³滤波器之后有一个sinc¹滤波器。sinc¹滤波器在全功率和中功率模式下以16为基数求均值,在低功耗模式下以8为基数求均值。图103中的灰色模块不使用。

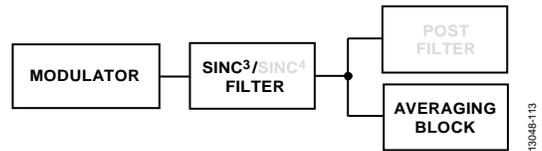


图103. 快速建立模式(Sinc³ + Sinc¹滤波器)

输出数据速率和建立时间(Sinc³ + Sinc¹滤波器)

单通道连续转换时,输出数据速率为:

$$f_{ADC} = f_{CLK} / ((3 + Avg - 1) \times 32 \times FS[10:0])$$

其中:

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(全功率模式下为614.4 kHz,中功率模式下为153.6 kHz,低功耗模式下为76.8 kHz)。

Avg为16(全功率和中功率模式)或8(低功耗模式)。

FS[10:0]为滤波器寄存器中的FS[10:0]位的十进制等效值。FS[10:0]值的范围是1到2047。

当用户选择另一个通道时,第一次转换有一个额外延迟。建立时间等于

$$t_{SETTLE} = ((3 + Avg - 1) \times 32 \times FS[10:0] + Dead Time) / f_{CLK}$$

其中, $Dead Time = 94$ 。

3 dB频率等于

$$f_{3dB} = 0.44 \times f_{NOTCH}$$

表60给出了部分FS[10:0]设置以及相应的输出数据速率和建立时间的示例。

表60. 输出数据速率与相应的建立时间示例 (快速建立模式, Sinc³ + Sinc¹)

功耗模式	FS[10:0]	第一陷波 (Hz)	输出数据速率(SPS)	建立时间 (ms)
全功率($f_{CLK} = 614.4$ kHz, 以16为基数求均值)	120	10	8.89	112.65
	24	50	44.44	22.65
	20	60	53.33	18.9
中功率($f_{CLK} = 153.6$ kHz, 以16为基数求均值)	30	10	8.89	113.11
	6	50	44.44	23.11
	5	60	53.33	19.36
低功耗($f_{CLK} = 76.8$ kHz, 以8为基数求均值)	30	10	8	126.22
	6	50	40	26.22
	5	60	48	22.06

AD7124-8

当模拟输入不变或者通道发生变化时，将以几乎恒定的输出数据速率提供有效的转换结果。

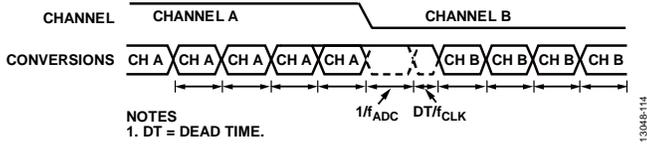


图104. 快速建立(Sinc³ + Sinc¹滤波器)

当器件在单个通道上进行转换且模拟输入发生阶跃变化时，ADC不会检测到变化，并继续输出转换结果。当阶跃变化与转换同步时，ADC只会输出完全建立的结果。然而，如果阶跃变化与转换过程不同步，则会立即产生未完全建立的转换结果(见图105)。

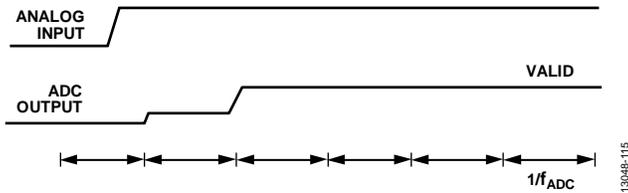


图105. 模拟输入的阶跃变化(Sinc³ + Sinc¹滤波器)

序列器

手动切换通道时，例如写入器件以更改通道时，“快速建立模式(Sinc³ + Sinc¹滤波器)”部分中的说明是有效的。使能多个通道时，器件会自动使用片内序列器，自动按顺序转换所有使能的通道。这种情况下，第一个转换需要表60所列出的完整建立时间。对于随后的所有转换，各转换所需的时间同样等于建立时间，但死区时间减至30。

50 Hz和60 Hz抑制(Sinc³ + Sinc¹滤波器)

图106所示为FS[10:0]设为24(全功率模式)或6(中功率模式或低功耗模式)时的频率响应。表60列出了相应的输出数据速率。

sinc滤波器将第一个陷波频率置于

$$f_{\text{NOTCH}} = f_{\text{CLK}} / (32 \times \text{FS}[10:0])$$

均值模块将陷波频率置于 $f_{\text{NOTCH}} / \text{Avg}$ (Avg在全功率和中功率模式下为16，在低功耗模式下为8)。此频率的倍数也是陷波频率；因此，当FS[10:0]设为6(全功率或中功率模式)时，sinc滤波器导致的陷波频率为800 Hz，均值导致的陷波频率为50 Hz及其倍数。在低功耗模式下，sinc滤波器导致的陷波频率为400 Hz，均值导致的陷波频率为50 Hz及其倍数。

50 Hz的陷波为一阶陷波，因此，该陷波并不宽。假设主时钟保持稳定，这就意味着50 Hz处可以取得良好的抑制性能。然而，在50 Hz ± 1 Hz频段，抑制性能会显著下降。假

设时钟保持稳定，50 Hz ± 0.5 Hz时的抑制性能为40 dB(最小值)；因此，使用快速建立模式时，建议采用优质的主时钟源。

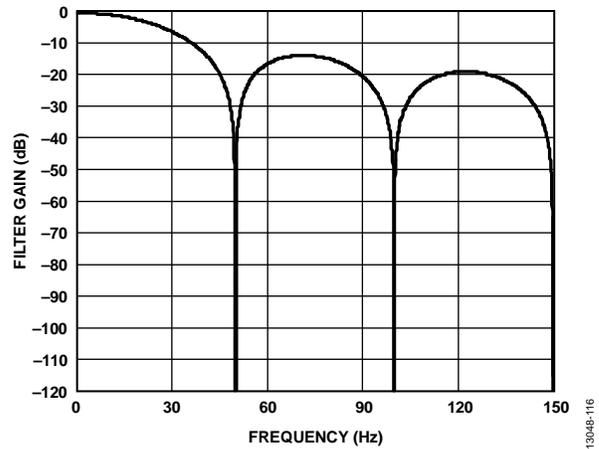


图106. 50 Hz抑制

图107所示为FS[10:0]设为20(全功率模式)或5(中功率和低功耗模式)时的滤波器响应。这种情况下，陷波频率为60 Hz及其倍数。60 Hz ± 0.5 Hz时的抑制性能等于40 dB(最小值)。

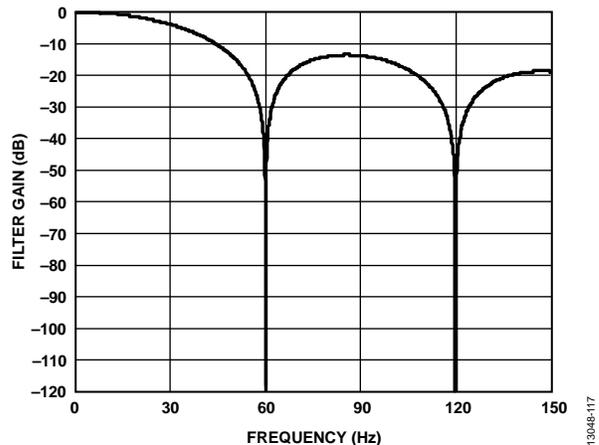


图107. 60 Hz抑制

当FS[10:0]设为384(全功率模式)或30(中功率和低功耗模式)时，可实现50 Hz/60 Hz同时抑制。陷波频率为10 Hz及其倍数，因而能够同时抑制50 Hz和60 Hz。50 Hz ± 0.5 Hz和60 Hz ± 0.5 Hz的抑制性能典型值为42 dB。

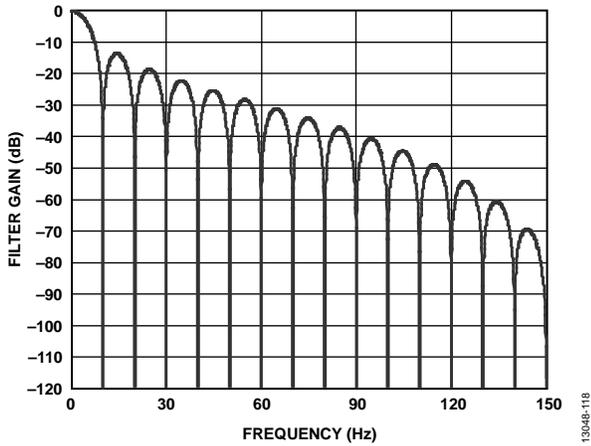


图108. 50 Hz和60 Hz同时抑制

后置滤波器

后置滤波器提供50 Hz和60 Hz同时抑制，并且允许用户用建立时间交换抑制性能。这些滤波器可以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz ± 1 Hz和60 Hz ± 1 Hz

表61. AD7124-8后置滤波器：输出数据速率、建立时间(t_{SETTLE})和抑制性能

输出数据速率(SPS)	f_{3dB} (Hz)	t_{SETTLE} , 全功率模式(ms)	t_{SETTLE} , 中功率模式(ms)	t_{SETTLE} , 低功耗模式(ms)	50 Hz ± 1 Hz和60 Hz ± 1 Hz同时抑制(dB) ¹
27.27	17.28	38.498	38.998	39.662	47
25	15.12	41.831	42.331	42.995	62
20	13.38	51.831	52.331	52.995	86
16.67	12.66	61.831	62.331	62.995	92

¹ 使用稳定的主时钟。

干扰。这些滤波器是通过对sinc³滤波器输出进行后滤波实现的。要启用后置滤波器，filter位必须设为全1。后置滤波器选项通过滤波器寄存器中的POST_FILTER位来选择。图109中的灰色模块不使用。

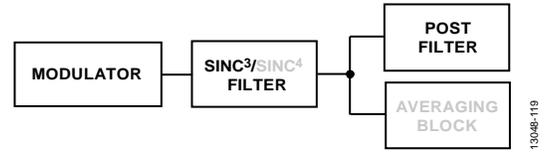


图109. 后置滤波器

表61显示了输出数据速率及相应的建立时间和抑制性能。

单通道连续转换时，第一个转换需要的时间为 t_{SETTLE} 。后续转换以 $1/f_{ADC}$ 的速率进行。启用多个通道时(手动或利用序列器)，每个使能的通道都需要建立时间以便产生有效转换结果。

AD7124-8

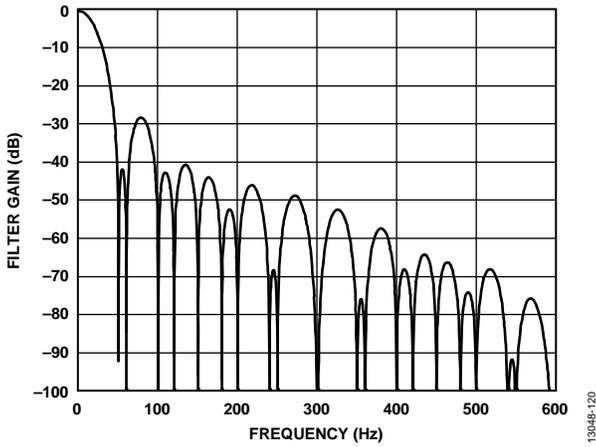


图110. DC至600 Hz, 27.27 SPS输出数据速率, 36.67 ms建立时间

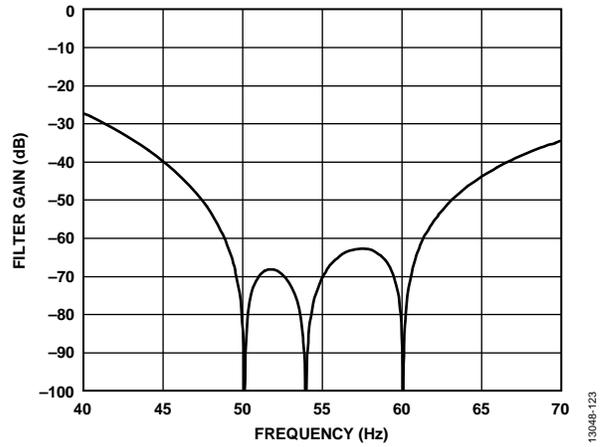


图113. 放大40 Hz至70 Hz, 25 SPS输出数据速率, 40 ms建立时间

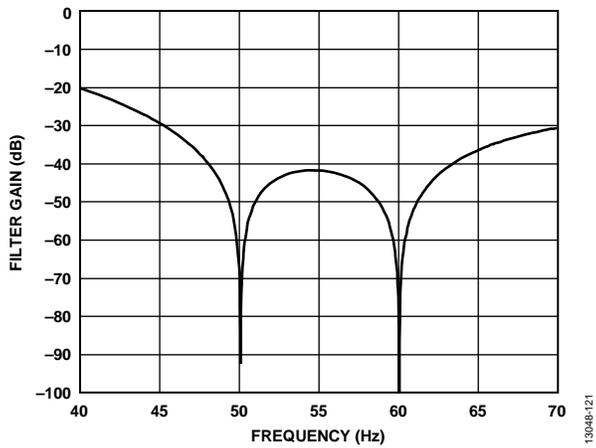


图111. 放大40 Hz至70 Hz, 27.27 SPS输出数据速率, 36.67 ms建立时间

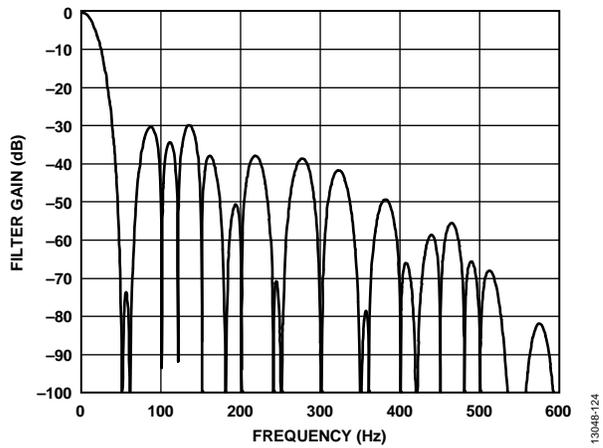


图114. DC至600 Hz, 20 SPS输出数据速率, 50 ms建立时间

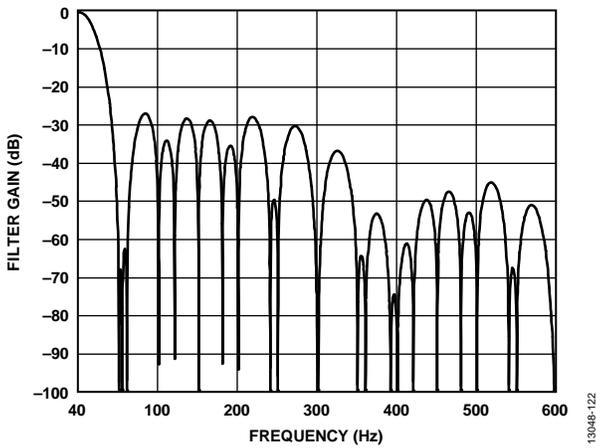


图112. DC至600 Hz, 25 SPS输出数据速率, 40 ms建立时间

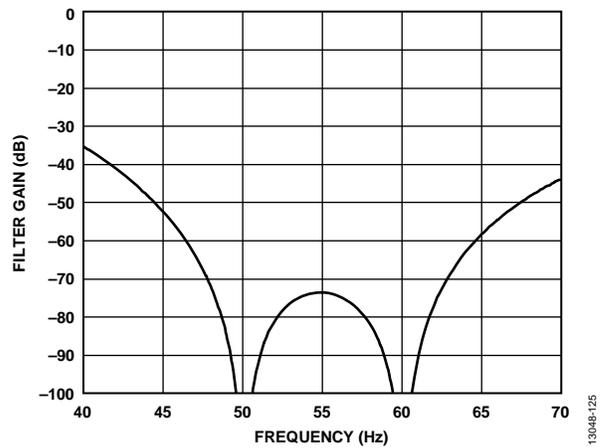


图115. 放大40 Hz至70 Hz, 20 SPS输出数据速率, 50 ms建立时间

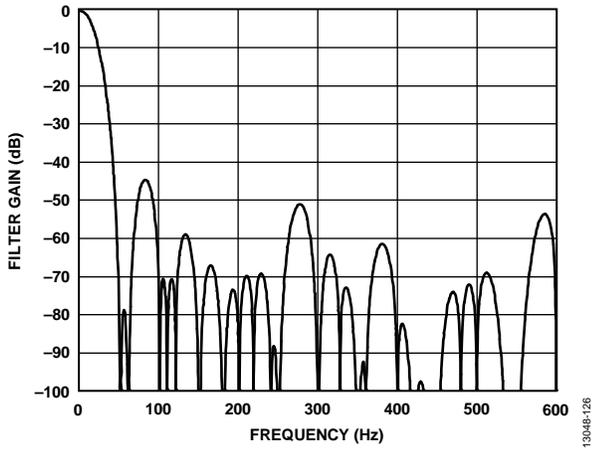


图116. DC至600 Hz, 16.667 SPS输出数据速率, 60 ms建立时间

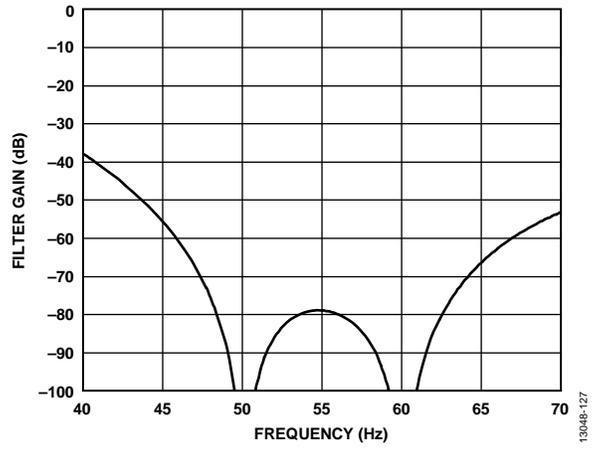


图117. 放大40 Hz至70 Hz, 16.667 SPS输出数据速率, 60 ms建立时间

AD7124-8

滤波器选项小结

AD7124-8具有多个滤波器选项。不同的选项会影响输出数据速率、建立时间、均方根噪声、阻带衰减和50 Hz/60 Hz抑制性能。

表62所示为部分示例配置以及相应的性能参数，包括吞吐量和50 Hz/60 Hz抑制性能。

表62. 滤波器小结¹

滤波器	功耗模式	输出数据速率(SPS)	REJ60	50 Hz抑制(dB) ²
Sinc ⁴	全部	10	0	120 dB(50 Hz和60 Hz)
	全部	50	0	120 dB(仅50 Hz)
	全部	50	1	82 dB(50 Hz和60 Hz)
	全部	60	0	120 dB(仅60 Hz)
Sinc ⁴ , 零延迟	全部	12.5	0	120 dB(仅50 Hz)
	全部	12.5	1	82 dB(50 Hz和60 Hz)
	全部	15	0	120 dB(仅60 Hz)
Sinc ³	全部	10	0	100 dB(50 Hz和60 Hz)
	全部	50	0	95 dB(仅50 Hz)
	全部	50	1	67 dB(50 Hz和60 Hz)
	全部	60	0	95 dB(仅60 Hz)
快速建立(Sinc ⁴ + Sinc ¹)	全/中	50.53	0	40 dB(仅60 Hz)
	低	43.64	0	40 dB(仅60 Hz)
	全/中	42.11	0	40 dB(仅50 Hz)
	低	36.36	0	40 dB(仅50 Hz)
	全/中	8.4	0	40 dB(50 Hz和60 Hz)
	低	7.27	0	40 dB(50 Hz和60 Hz)
快速建立(Sinc ³ + Sinc ¹)	全/中	53.33	0	40 dB(仅60 Hz)
	低	48	0	40 dB(仅60 Hz)
	全/中	44.44	0	40 dB(仅50 Hz)
	低	40	0	40 dB(仅50 Hz)
	全/中	8.89	0	40 dB(50 Hz和60 Hz)
	低	8	0	40 dB(50 Hz和60 Hz)
后置滤波器	全部	27.27	0	47 dB(50 Hz和60 Hz)
	全部	25	0	62 dB(50 Hz和60 Hz)
	全部	20	0	85 dB(50 Hz和60 Hz)
	全部	16.67	0	90 dB(50 Hz和60 Hz)

¹ 这些计算均假设采用稳定的主时钟。

² 对于快速建立模式，50 Hz/60 Hz抑制在50 Hz和/或60 Hz左右±0.5 Hz的频段内测量得出。对于所有其他模式，则采用50 Hz和/或60 Hz±1 Hz的频段范围。

诊断

AD7124-8具有多种片内诊断功能。使用这些功能可确保：

- 仅对有效寄存器执行读/写操作
- 仅将有效数据写入片内寄存器
- LDO上使用适当的去耦
- 存在外部基准电压源(如使用)
- ADC调制器和滤波器在规格范围内工作

信号链检查

可以选择基准电压和电源电压等功能作为ADC的输入。这样，AD7124-8就能检查连接到器件的电压。AD7124-8还能产生一个20 mV内部信号，在通道寄存器中选择V_20MV_P至V_20MV_M通道，便可将该信号内部施加到一个通道。可利用此功能来检查PGA。例如，当PGA设置提高时，信号占模拟输入范围的百分比降低2倍。这样，用户就能检查PGA是否正常工作。

基准电压检测

AD7124-8含有片内基准电压检测电路，当用户选择外部基准电压为基准电压源时，该电路可以检测器件是否有用于转换或校准的有效基准电压。在从外部获得基准电压的RTD或应变计等应用中，这是一个很有价值的功能。

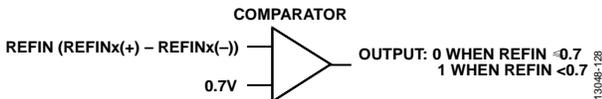


图118. 基准电压检测电路

将ERROR_EN寄存器中的REF_DET_ERR_EN位设置为1，可以使能此特性。如果选定的REFINx(+)与REFINx(-)引脚之间的电压降至0.7 V以下，或者REFINx(+)或REFINx(-)输入开路，AD7124-8就会检测到它不再具有有效的基准电压。此时，错误寄存器中的REF_DET_ERR位设置为1。状态寄存器中的ERR位也会置1。

如果AD7124-8正在执行正常转换，而REF_DET_ERR位变为有效，则转换结果变为全1。因此，并无必要在执行转换时持续监视REF_DET_ERR位的状态，只需在从ADC数据寄存器读取的转换结果为全1时验证其状态。

如果AD7124-8正在执行失调或满量程校准，而REF_DET_ERR位变为有效，则将禁止相应校准寄存器更新，以免寄存器载入错误的系数，同时REF_DET_ERR位会置1。如果

用户不愿意每次执行校准时都要验证是否存在有效的基准电压源，则应在校准周期结束时检查REF_DET_ERR位的状态。

当器件退出待机模式时，基准电压检测标志可能会设置。因此，退出待机模式后应读取错误寄存器，以将该标志复位为0。

校准、转换和饱和错误

转换过程和校准过程也可以通过AD7124-8监控。这些诊断功能检查转换或校准期间使用的模拟输入以及调制器和数字滤波器。利用ERROR_EN寄存器中的ADC_CAL_ERR_EN、ADC_CONV_ERR_EN和ADC_SAT_ERR_EN位可以使能这些功能。这些功能使能后，若发生错误，ADC_CAL_ERR、ADC_CONV_ERR或ADC_SAT_ERR位就会置1。

如果数字滤波器上溢或下溢，ADC_CONV_ERR标志就会置1。ADC转换结果也会箝位到全0或全1。此标志与数据寄存器一同更新，只能通过读取错误寄存器来清0。

如果调制器输出20个连续的1或0，ADC_SAT_ERR标志就会置1。这说明调制器已饱和。

执行失调校准时，得到的失调系数必须介于0x7FFFFFFF和0xF80000之间。如果该系数不在此范围内，失调寄存器就不会更新，ADC_CAL_ERR标志置1。满量程校准期间会检查数字滤波器是否上溢。如果发生上溢，错误标志就会置1，增益寄存器不会更新。

过压/欠压检测

过压/欠压监控器检查AINx模拟输入引脚上的绝对电压。绝对电压必须在数据手册规格范围内。如果ADC在数据手册限值以外工作，线性度会下降。

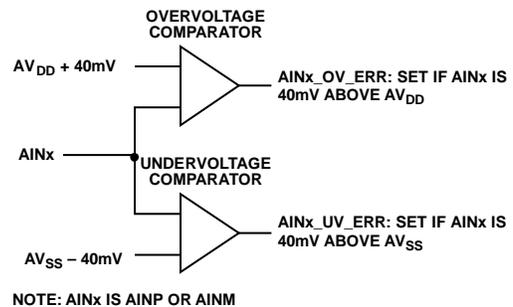


图119. 模拟输入过压/欠压监控器

AD7124-8

正(AINP)和负(AINM)模拟输入可以单独检查,是否发生过压和欠压。ERROR_EN寄存器中的AINP_OV_ERR_EN和AINP_UV_ERR_EN位分别用于使能过压和欠压诊断。当AINP上的电压超过 AV_{DD} 时,过压标志就会置1;当AINP上的电压低于 AV_{SS} 时,欠压标志就会置1。同样,负模拟输入引脚上的过压/欠压检查通过ERROR_EN寄存器中的AINM_OV_ERR_EN和AINM_UV_ERR_EN位来使能。错误标志为错误寄存器中的AINP_OV_ERR、AINP_UV_ERR、AINM_OV_ERR和AINM_UV_ERR。

使能此功能时,错误寄存器中就可以设置相应的标志位。因此,使能过压/欠压检查时,用户必须读取错误寄存器,确保标志位复位为0。

电源监控器

ADC除了能够转换外部电压以外,还能监控 AV_{DD} 引脚和 IOV_{DD} 引脚上的电压。选择 AV_{DD} 至 AV_{SS} 或 IOV_{DD} 至DGND的输入后,电压(AV_{DD} 至 AV_{SS} 或 IOV_{DD} 至DGND)在内部衰减6倍,由此产生的电压施加于 Σ - Δ 调制器。此特性的用处在于可以监控电源电压的波动。

LDO监控

AD7124-8含有多种LDO检查。像外部电源一样,模拟和数字LDO产生的电压也可以被选为ADC的输入。此外,AD7124-8可以连续监控LDO电压。

电源监控器

ALDO和DLDO产生的电压可以通过使能ERROR_EN寄存器中的ALDO_PSM_ERR_EN位和DLDO_PSM_ERR_EN位来监控。使能后,器件会连续监控LDO的输出电压。如果ALDO电压低于1.6 V,ALDO_PSM_ERR标志就会置位。如果DLDO电压低于1.55 V,DLDO_PSM_ERR标志就会置位。此位保持置位状态,直到相应的LDO电压恢复正常。然而,此位只能通过读取错误寄存器来清0。

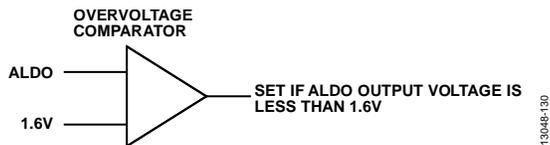


图120. 模拟LDO监控器

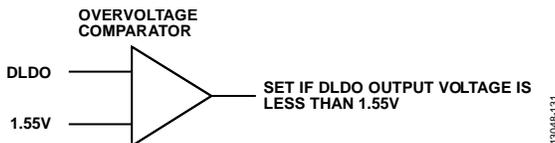


图121. 数字LDO监控器

AD7124-8还能测试用于电源监控的电路。当ALDO_PSM_TRIP_TEST_EN或DLDO_PSM_TRIP_TEST_EN位置1时,测试电路的输入连接到GND,而非LDO输出。电路有故障则设置相应的ALDO_PSM_ERR或DLDO_PSM_ERR位。

LDO电容检测

模拟和数字LDO需要0.1 μ F的外部去耦电容。AD7124-8可以检查此去耦电容是否存在。使用ERROR_EN寄存器中的LDO_CAP_CHK位,关闭要检查的LDO,监控LDO输出电压。如果电压下降,则认为失败,错误寄存器中的LDO_CAP_ERR位置1。

任一时间只能测试模拟LDO或数字LDO有无去耦电容。此测试还会干扰转换过程。

用于检查有无去耦电容的电路也可以通过AD7124-8来测试。当ERROR_EN寄存器中的LDO_CAP_CHK_TEST_EN位置1时,去耦电容与LDO在内部断开,强制产生故障。因此,当执行LDO电容测试时,就会报告故障状况,即错误寄存器中的LDO_CAP_ERR位会置1。

MCLK计数器

稳定的主时钟非常重要,因为输出数据速率、滤波器建立时间和滤波器陷波频率均依赖于主时钟。AD7124-8允许用户监控主时钟。当ERROR_EN寄存器中的MCLK_CNT_EN位置1时,每经过131个主时钟周期,MCLK_COUNT寄存器就会递增1。用户可以在固定时间内监控此寄存器。根据MCLK_COUNT寄存器的结果可以确定主时钟频率。MCLK_COUNT寄存器达到最大值后会绕回。

SPI SCLK计数器

SPI SCLK计数器计数每次读写操作使用的SCLK脉冲数。使用此功能时, \overline{CS} 必须对每次读写操作进行帧控制。所有读写操作都是8个SCLK脉冲的倍数(8、16、32、40、48)。如果SCLK计数器计数SCLK脉冲数,而结果不是8的倍数,那么错误标志就会置1;错误寄存器中的SPI_SCLK_CNT_ERR位会置1。如果执行的是写操作,而SCLK包含的SCLK脉冲数不正确,则不会将该值写入所寻址的寄存器,写操作会被中止。

SCLK计数器通过设置ERROR_EN寄存器中的SPI_SCLK_CNT_ERR_EN位来使能。

SPI读/写错误

除了SCLK计数器以外，AD7124-8还能检查读写操作，确保寻址的是有效寄存器。当ERROR_EN寄存器中的SPI_READ_ERR_EN位或SPI_WRITE_ERR_EN位置1时，AD7124-8检查读/写操作的地址。如果用户试图写入或读取的寄存器不是本数据手册所述的用户寄存器，错误标志就会置1；错误寄存器中的SPI_READ_ERR位或SPI_WRITE_ERR位会置1，并且中止读/写操作。

此功能连同SCLK计数器和CRC，使得串行接口更加鲁棒。用户无法写入或读取无效的寄存器。SCLK脉冲数不正确可能引起串行接口不同步，导致访问错误的寄存器。AD7124-8通过诊断功能防止这些问题发生。

SPI_IGNORE错误

某些时候可能无法访问片内寄存器。例如，在上电期间，片内寄存器设为默认值。用户必须等待此操作完成，然后才能读取或写入寄存器。另外，执行失调或增益校准时也无法访问寄存器。错误寄存器中的SPI_IGNORE_ERR位指示此时无法访问片内寄存器。此诊断功能默认使能。利用ERROR_EN寄存器中的SPI_IGNORE_ERR_EN位可以禁用该功能。

任何在SPI_IGNORE_ERR使能时执行的读或写操作都会被忽略。

校验和保护

AD7124-8具有校验和模式，可用来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存器读取的数据进行验证。如果寄存器写入期间发生错误，错误寄存器的CRC_ERR位将置1。然而，为确保寄存器写入成功，必须回读该寄存器并验证校验和。

CRC校验和计算始终使用如下多项式：

$$x^8 + x^2 + x + 1$$

ERROR_EN寄存器中的CRC_ERR_EN位用于使能和禁用校验和。

校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和8位至24位数据计算。读处理的校验和利用命令字和8位至32位数据输出计算。图122和图123分别显示了SPI读和写处理。

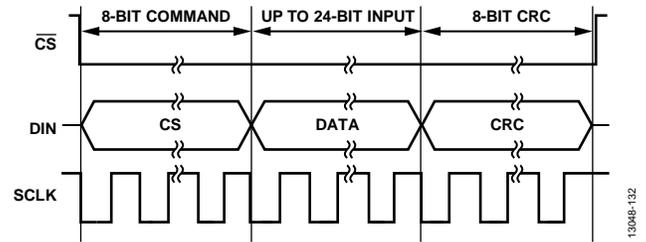


图122. 使能CRC的SPI写处理

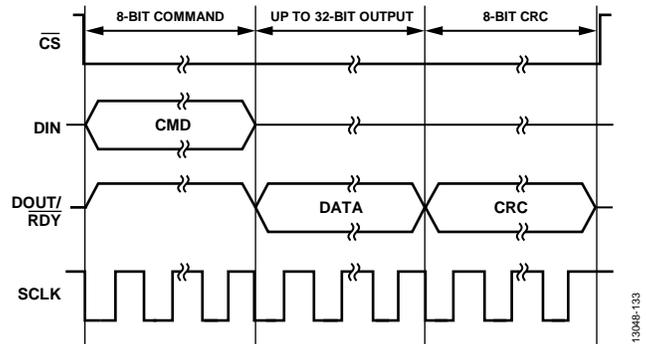


图123. 使能CRC的SPI读处理

连续读取模式有效时，如果使能校验和保护，则每次数据传输前存在暗含的读取数据命令0x42，计算校验和值时必须予以考虑。这是为了确保即使ADC数据等于0x000000，校验和值也不是零。

存储器映射校验和保护

为了增强鲁棒性，还会对片内寄存器执行CRC计算。此检查不包括状态寄存器、数据寄存器和MCLK计数器寄存器，因为这些寄存器的内容会持续改变。CRC以1/2400秒的速率执行。每次访问存储器映射时，就会重新计算CRC。引起CRC重新计算的事件包括：

- 用户写入
- 失调/满量程校准
- 器件工作在单次转换模式，完成转换后ADC进入空闲模式
- 离开连续读取模式(ADC_CONTROL寄存器的CONT_READ位设置为0)

存储器映射CRC功能通过设置ERROR_EN寄存器中的MM_CRC_ERR_EN位来使能。若发生错误，错误寄存器的MM_CRC_ERR位将置1。

AD7124-8

CRC计算

校验和为8位宽，利用以下多项式产生：

$$x^8 + x^2 + x + 1$$

要生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据施加一个异或(XOR)函数，以产生一个更短的新数。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

多项式CRC计算示例—24位字：0x654321(8位命令和16位数据)

下例使用基于多项式的校验和生成8位校验和：

初始值	011001010100001100100001	
	01100101010000110010000100000000	左移8位
$x^8 + x^2 + x + 1$	=	100000111
		多项式
100100100000110010000100000000		XOR结果
100000111		多项式
1000110001100100001000000000		XOR结果
100000111		多项式
111111001000010000000000		XOR结果
100000111		多项式值
111110111000010000000000		XOR结果
100000111		多项式值
1111000000001000000000		XOR结果
100000111		多项式值
1110011100010000000000		XOR结果
100000111		多项式值
11001001001000000000		XOR结果
100000111		多项式值
10010101010000000000		XOR结果
100000111		多项式值
1011011000000000		XOR结果
100000111		多项式值
11010110000000		XOR结果
100000111		多项式值
101010110000		XOR结果
100000111		多项式值
1010001000		XOR结果
100000111		多项式值
10000110		校验和 = 0x86

开路测试电流

AD7124-8包含两个可设置为0.5 μA、2 μA或4 μA的恒流发生器。一个发生器提供从AV_{DD}到AINP的电流，另一个吸收从AINM到AV_{SS}的电流。利用这些电流可进行开路检测。

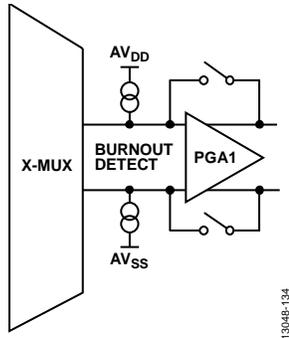


图124. 开路测试电流

这些电流切换至选定的模拟输入对。两个电流或开或关。配置寄存器中的burnout位使能/禁用开路测试电流并设置幅度。在模拟输入通道上执行测量操作之前，可以利用这些电流来确认外部传感器是否正常工作。接通开路测试电流后，电流流入外部传感器电路，然后便可在模拟输入通道上测量输入电压。如果测得的电压接近满量程，用户必须确认为何如此。接近满量程读数可能意味着前端传感器开路；也可能是前端传感器过载，通过满量程输出表现出来；或者缺少基准电压，并且REF_DET_ERR位已置1，导致数据箱位在全1。

当转换结果接近满量程时，用户必须检查是否存在这三种情况，然后做出判断。如果测得的电压为0 V，则可能是传感器短路。正常工作时，应将burnout位设为0，以关闭这些开路测试电流。电流源工作在常规绝对输入电压范围内，缓冲器开启。

温度传感器

AD7124-8中嵌入了一个温度传感器，用于监控芯片温度。这可以利用通道寄存器中的AINP[4:0]和AINM[4:0]位来选择。灵敏度约为13,584码/°C。温度传感器的计算公式为：

$$\text{温度}(\text{°C}) = ((\text{转换结果} - 0x800000) / 13,584) - 272.5$$

温度传感器的精度典型值为±0.5°C。

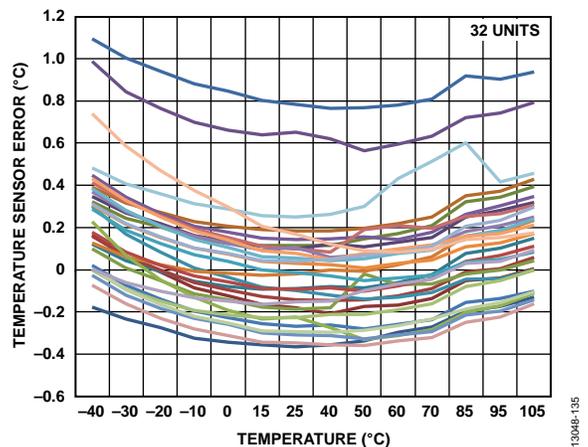


图125. 温度传感器误差与温度的关系

接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压都是共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7124-8的模拟电源和数字电源彼此独立，各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为主时钟频率的整数倍的噪声。

另外，数字滤波器还能够消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7124-8具有更强的抗噪能力。不过，由于AD7124-8的分辨率较高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局布线。

ADC所在的PCB必须采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。

避免在该器件下方布线数字线路，否则会将噪声耦合至芯片；将模拟接地层放在AD7124-8下方可以防止噪声耦合。AD7124-8的电源线路必须采用尽可能宽的走线，以提供低

阻抗路径，并减小电源线路上的毛刺噪声。应利用数字地屏蔽时钟等快速切换信号，以免向电路板的其他部分辐射噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直。这样有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率ADC时，良好的去耦十分重要。AD7124-8有两个电源引脚： AV_{DD} 和 IOV_{DD} 。 AV_{DD} 引脚以 AV_{SS} 为基准， IOV_{DD} 引脚以DGND为基准。通过1 μ F钽电容与0.1 μ F电容的并联组合将 AV_{DD} 去耦至各引脚上的 AV_{SS} 。使各电源的0.1 μ F电容应尽可能靠近该器件，最好正对着该器件。通过1 μ F钽电容与0.1 μ F电容的并联组合将 IOV_{DD} 去耦至DGND。所有模拟输入都必须去耦至 AV_{SS} 。如果使用外部基准电压源，应将REFINx(+)和REFINx(-)引脚去耦至 AV_{SS} 。

AD7124-8还有两个片上LDO稳压器，一个调节 AV_{DD} 电源，另一个调节 IOV_{DD} 电源。对于REGCAPA引脚，建议利用0.1 μ F电容将其去耦至 AV_{SS} 。同样，对于REGCAPD引脚，建议利用0.1 μ F电容将其去耦至DGND。

如果AD7124-8采用分离电源供电， AV_{SS} 必须使用单独的层。

应用信息

AD7124-8为低成本、高分辨率模数转换器。模数转换功能由 Σ - Δ 结构提供，因此该器件的抗噪能力很强，非常适合传感器测量、工业和过程控制应用。

利用热电偶测量温度

图126是一个热电偶与AD7124-8连接的示意图。在热电偶应用中，由热电偶产生的电压的测量值与绝对基准电压值呈比例变化；因此，内部基准电压可用于该转换。冷结测量需要利用比率式配置；因此，需要提供外部基准电压源。

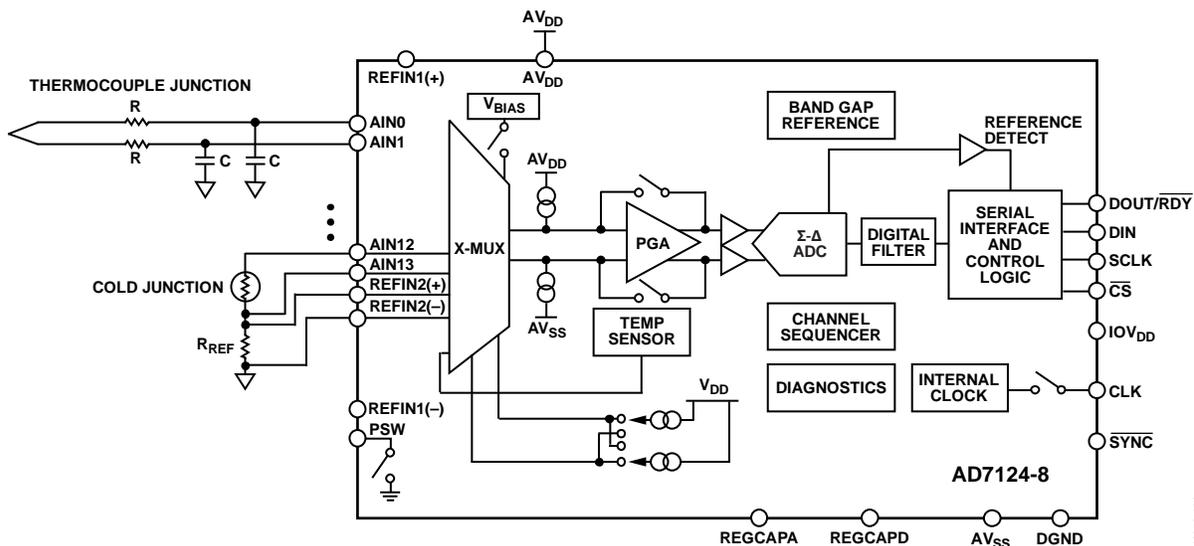
热电偶输出的信号很小，AD7124-8的PGA须使能以放大热电偶信号。由于输入通道具有缓冲功能，可将大去耦电容置于前端，以便于消除可能出现在热电偶引脚上的噪声影响。偏置电压发生器提供一个共模电压，使得热电偶产生的电压最高偏置到 $(AV_{DD} - AV_{SS})/2$ 。对于以地为中心的热电偶电压，AD7124-8可以采用分离电源(± 1.8 V)工作。

冷结补偿利用图126中的热敏电阻实现。片内激励电流为该热敏电阻提供激励。此外，冷结测量的基准电压来自一个与该热敏电阻串联的精密电阻。由此可实现比率式测量，在此情况下，激励电流的波动不会对测量产生影响(测量结果是精密参考电阻值与热敏电阻值的比值)。

多数转换结果是从热电偶读取，冷结只是定期读取，因为冷结温度稳定或变化很缓慢。使用T型热电偶时，可测量的温度范围是 -200°C 至 $+400^{\circ}\text{C}$ 。在该温度范围内产生的电压范围是 -8.6 mV至 $+17.2$ mV。AD7124-8内部基准电压为 2.5 V。因此，PGA设置为128。如果热电偶使用AIN0/AIN1通道，热敏电阻连接到AIN12/AIN13通道，则转换过程如下：

1. 复位ADC。
2. 选择功耗模式。
将CHANNEL_0寄存器模拟输入设置为AIN0/AIN1。将设置0分配给该通道。配置设置0的增益为128，并选择内部基准电压源。选择滤波器类型并设置输出数据速率。
3. 使能AIN0上的VBIAS。
4. 将CHANNEL_1寄存器模拟输入设置为AIN12/AIN13。将设置1分配给该通道。配置设置1的增益为1，并选择外部基准电压源REFIN2(\pm)。选择滤波器类型并设置输出数据速率。
5. 使能激励电流(IOUTx)并选择合适的值。将此电流输出到AIN4引脚。
6. 使能AIN0/AIN1通道。等待直到 $\overline{\text{RDY}}$ 变为低电平。读取转换结果。
7. 继续从AIN0/AIN1通道读取9个转换结果。
8. 禁用CHANNEL_0并使能CHANNEL_1。
9. 等待直到 $\overline{\text{RDY}}$ 变为低电平。读取一个转换结果。
10. 重复步骤5至步骤8。

利用T型热电偶的线性化公式处理热电偶电压和热敏电阻电压，并计算热电偶头部的实际温度。



NOTES
1. SIMPLIFIED BLOCK DIAGRAM SHOWN.

图126. 热电偶应用

AD7124-8

为清楚起见，图中省去了外部抗混叠滤波器。但是，为了抑制调制器频率及其倍数处的干扰，必须使用这种滤波器。此外，为了消除EMI，也可能需要进行一些滤波。模拟输入和基准电压输入均可缓冲，以使用户将RC组合连接到基准电压或模拟输入引脚。

所需的功耗模式取决于系统的性能要求和容许的电流消耗。在现场变送器中，低电流消耗至关重要。对于这种应用，低功耗模式或中功率模式最适合。在过程控制应用中，功耗不是优先考虑。因此，可以选择全功率模式。全功率模式提供较高的吞吐量和较低的噪声。

利用AD7124-8片内诊断功能，用户可以检查电路连接，监控电源、基准电压和LDO电压，检查所有转换和校准有无错误，监控所有读写操作。在热电偶应用中，电路连接通过基准电压检测和开路测试电流来验证。如果外部基准电压源REFIN2(±)缺失，REF_DET_ERR标志就会置1。开路测试电流(通过配置寄存器使用)检测开路。例如，如果热电偶未连接且该通道的开路测试电流已使能，ADC将输出一个等于或接近满量程的转换结果。为实现最佳性能，应定期使能开路测试电流以检查连接，但验证连接后应立即禁用开路测试电流，因为它会给转换结果带来误差。还可以检查LDO上的去耦电容。ADC可以指示该电容是否存在。

作为转换过程的一部分，模拟输入过压/欠压监控器可用于检测AINP和AINM上的过压情况。可以选择电源电压和基准电压作为ADC的输入。因此，用户可以定期检查这两个电压，确认其是否在系统规格范围内。另外，用户可以检查LDO电压是否在规格范围内。还可以检查转换过程和校准过程，确保发现任何无效的转换或校准并告知用户。

最后，CRC检查、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作，使接口更加鲁棒。在处理器与ADC之间传输数据时，CRC检查可以指示是否有数据位损坏。

利用RTD测量温度

为了优化三线RTD配置，需要2个完美匹配的电流源。AD7124-8就包含两个精密匹配的电流源，非常适合此类应用。图127显示了一种可能的3线配置。在此3线配置中，如果只使用一个电流(AIN0的输出)，则引线电阻会造成误差，因为激励电流流经RL1，在AIN1与AIN2之间产生电压误差。在所示的原理图中，第二个RTD电流源(通过AIN3提供)用于补偿流经RL1的激励电流所引入的误差。第二个RTD电流流经RL2。假设RL1与RL2相等(引线一般为同种材料且长度相同)，激励电流匹配，则RL2上的误差电压将等于RL1上的误差电压，因而AIN1与AIN2之间不会产生误差电压。RL3上会产生两倍的该电压，但它是共模电压，不会引入误差。AD7124-8的基准电压也是利用匹配电流源之一产生。此基准电压利用一个精密电阻产生，应用于ADC的差分基准电压引脚。这种方案可确保模拟输入电压范围始终与基准电压成比例。激励电流的温度漂移所引起的模拟输入电压的任何误差，都会通过基准电压的变化予以补偿。

举例来说，PT100测量的温度范围是-200°C至+600°C。0°C时的电阻典型值为100 Ω，600°C时为313.71 Ω。如果使用500 μA激励电流和RTD的全温度范围，则RTD上产生的最大电压为：

$$500 \mu\text{A} \times 313.71 \Omega = 156.86 \text{ mV}$$

如果增益设为16，它将放大到2.51 V，在AD7124-8支持的范围以内。

基准电阻上产生的电压至少必须为2.51 V。因此，基准电阻值至少必须等于：

$$2.51 \text{ V} / 500 \mu\text{A} = 5020 \Omega$$

所以，可以使用5.11 kΩ电阻。

$$5.11 \text{ k}\Omega \times \text{激励电流} = 5.11 \text{ k}\Omega \times 500 \mu\text{A} = 2.555 \text{ V}$$

还有一个考虑是输出依从电源轨。输出依从电压等于 $A_{V_{DD}} - 0.37 \text{ V}$ 。如果使用3.3 V电源，则AIN0处的电压必须小于 $(3.3 \text{ V} - 0.37 \text{ V}) = 2.93 \text{ V}$ 。从上述计算可知，电路满足这一要求，因为AIN0的最大电压等于基准电阻上的电压加上RTD上的电压，等于：

$$2.555 \text{ V} + 156.86 \text{ mV} = 2.712 \text{ V}$$

读取RTD的典型程序如下所述：

1. 复位ADC。
2. 选择功耗模式。
3. 将CHANNEL_0寄存器模拟输入设置为AIN1/AIN2。将设置0分配给该通道。配置设置0的增益为16，并选择基准电压源REFIN2(±)。选择滤波器类型并设置输出数据速率。
4. 将激励电流设置为500 μ A，并将该电流输出到AIN0和AIN3引脚。
5. 等待直到RDY变为低电平。读取转换值。
6. 重复步骤4。

在处理器中实现PT100的线性化例程。

为清楚起见，图中省去了外部抗混叠滤波器。但是，为了抑制调制器频率及其倍数处的干扰，必须使用这种滤波器。此外，为了消除EMI，也可能需要进行一些滤波。模拟输入和基准电压输入均可缓冲，以使用户将RC组合连接到基准电压或模拟输入引脚。

AD7124-8的激励电流可通过输入引脚提供，例如：AIN3引脚不仅可以输出电流源，还可以用作模拟输入。利用该方案可将多个传感器使用最少的引脚连接到ADC。然而，抗混叠滤波器的电阻与RTD串联，这会在转换中引入误差，因为抗混叠电阻上会产生一个电压。为使该误差最小，应尽量降低抗混叠滤波器的电阻。

使用的功耗模式取决于系统的性能要求和容许的电流消耗。在现场变送器中，低电流消耗至关重要。对于这种应用，低功耗模式或中功率模式最适合。在过程控制应用中，功耗不是优先考虑。因此，可以选择全功率模式。全功率模式提供较高的吞吐量和较低的噪声。

利用AD7124-8片内诊断功能，用户可以检查电路连接，监控电源、基准电压和LDO电压，检查所有转换和校准有无错误，监控所有读写操作。在RTD应用中，电路连接通过基准电压检测和开路测试电流来验证。如果外部基准电压源REFIN2(±)缺失，REF_DET_ERR标志就会置1。开路测试电流(通过配置寄存器使用)检测开路。还可以检查LDO上的去耦电容。ADC可以指示该电容是否存在。

作为转换过程的一部分，模拟输入过压/欠压监控器可用于检测AINP和AINM上的过压情况。可以选择电源电压和基准电压作为ADC的输入。因此，用户可以定期检查这两个电压，确认其是否在系统规格范围内。另外，用户可以检查LDO电压是否在规格范围内。还可以检查转换过程和校准过程，确保发现任何无效的转换或校准并告知用户。

最后，CRC检查、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作，使接口更加鲁棒。在处理器与ADC之间传输数据时，CRC检查可以指示是否有数据位损坏。

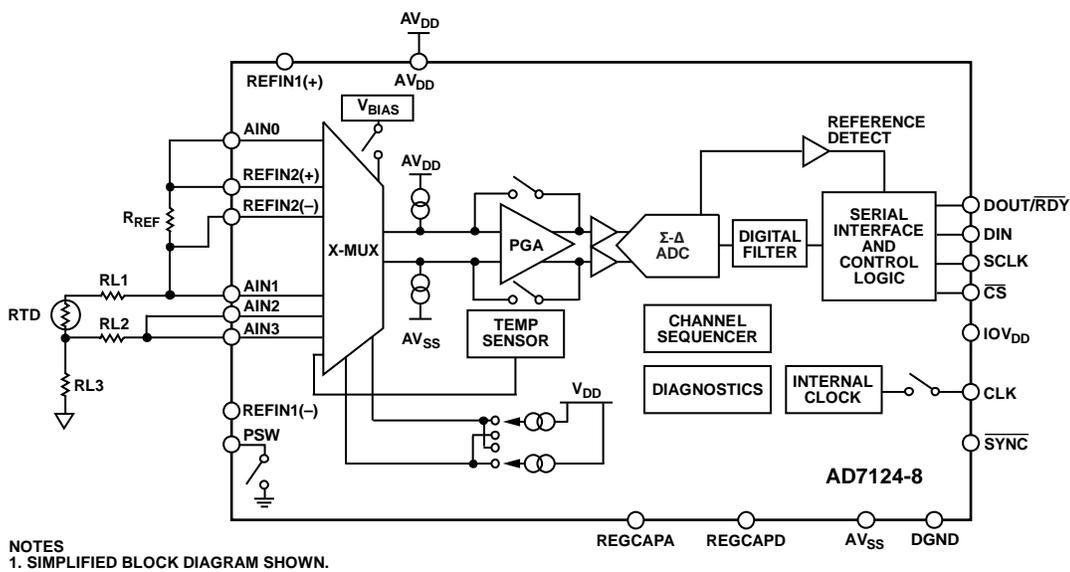


图127. 3线RTD应用

13048-137

AD7124-8

流量计

图128显示AD7124-8在流量计中的应用，该流量计由两个压力传感器组成，流量等于压力差。压力传感器位于电桥网络中，在其OUT+与OUT-引脚之间提供差分输出电压。对于传感器的额定满量程压力(本例中为300 mmHg)，差分输出电压为输入电压(即IN+端与IN-端之间的电压)的3 mV/V。

假设激励电压为3 V，则传感器的满量程输出电压为9 mV。电桥的激励电压可以直接用来提供ADC的基准电压，因为基准电压输入范围包括电源电压。

在基于传感器的应用中使用AD7124-8的第二个好处，是低功耗应用可以充分利用低端功率开关。低端功率开关与电桥的冷端串联。正常工作时，该开关闭合，以便执行测量。在要求低功耗的应用中，AD7124-8可以处于待机模式，从而显著降低应用的功耗。此外，在待机模式下，低端功率开关可以断开，以免前端传感器不必要地耗费功率。当器件离开待机模式且低端功率开关闭合时，用户必须确保前端电路完全建立，然后才能尝试读取AD7124-8。若需要，功率开关可以在器件离开待机模式之前闭合，以便在ADC上电并开始对模拟输入进行采样之前，传感器有时间上电并建立。

图中，温度补偿是通过热敏电阻来执行。片内激励电流为该热敏电阻提供激励。此外，温度测量的基准电压是从一个与该热敏电阻串联的精密电阻获得。由此可实现比率式测量，在此情况下，激励电流的波动不会对测量产生影响(测量结果是精密参考电阻值与热敏电阻值的比值)。

如果传感器灵敏度为3 mV/V且激励电压为3 V，则传感器的最大输出为9 mV。AD7124-8 PGA可以设为128来放大传感器信号。

AD7124-8 PGA将该信号放大至

$$9 \text{ mV} \times 128 = 1.152 \text{ V}$$

此值未超过基准电压(3 V)。

读取传感器的典型程序如下所述：

1. 复位ADC。
2. 选择功耗模式。
3. 将CHANNEL_0寄存器模拟输入设置为AIN0/AIN1。将设置0分配给该通道。配置设置0的增益为128，并选择基准电压源REFIN1(±)。选择滤波器类型并设置输出数据速率。
4. 将CHANNEL_1寄存器模拟输入设置为AIN2/AIN3。将设置0分配给该通道(两个通道使用相同设置)。
5. 将CHANNEL_2寄存器模拟输入设置为AIN4/AIN5。将设置1分配给该通道。配置设置1的增益为1，并选择基准电压源REFIN2(±)。选择滤波器类型并设置输出数据速率。
6. 设置激励电流并将该电流输出到AIN4引脚。
7. 使能CHANNEL_0和CHANNEL_1。使能DATA_STATUS位以识别提供转换结果的通道。ADC自动按顺序转换这些通道。
8. 等待直到RDY变为低电平。读取转换值。
9. 重复步骤8，直至读取温度(例如，每10个压力传感器读数转换结果)。
10. 禁用CHANNEL_0和CHANNEL_1。使能CHANNEL_2。
11. 等待直到RDY变为低电平。读取转换结果。
12. 重复步骤6至步骤10。

在处理器中，转换结果信息被转换为压力，由此便可计算流量。对于每种压力传感器，处理器通常包含一个查找表，以便补偿其随温度的变化。

为清楚起见，图中省去了外部抗混叠滤波器。但是，为了抑制调制器频率及其倍数处的干扰，必须使用这种滤波器。此外，为了消除EMI，也可能需要进行一些滤波。模拟输入和基准电压输入均可缓冲，以使用户将RC组合连接到基准电压或模拟输入引脚。

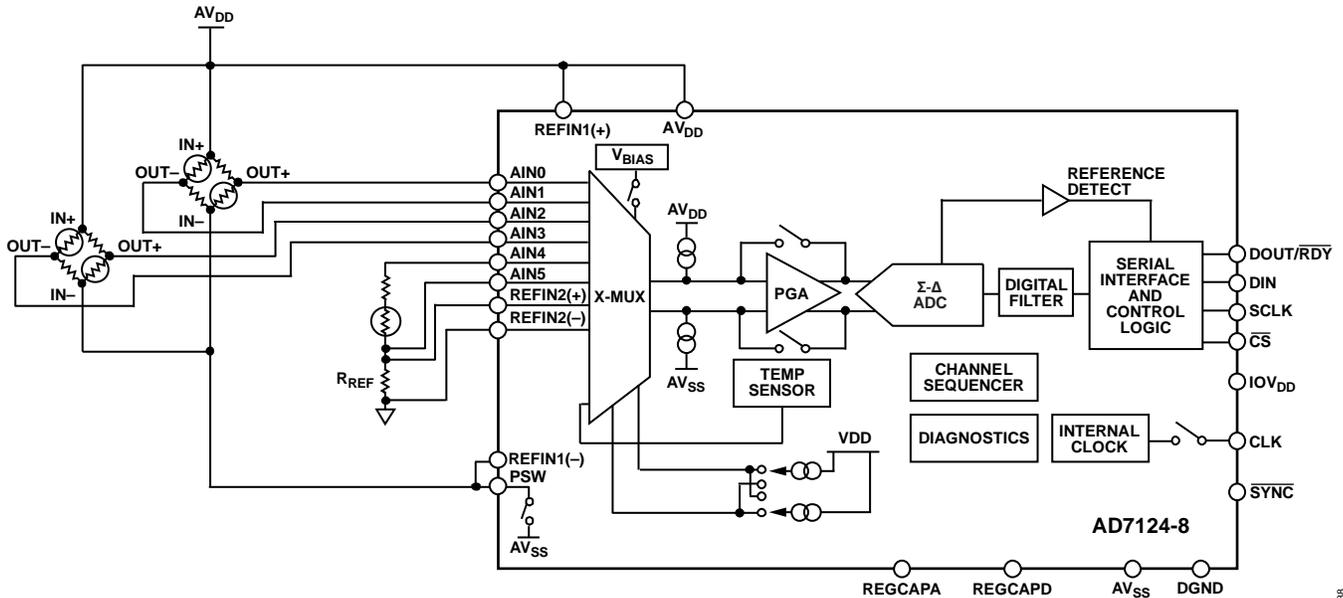
使用的功耗模式取决于系统的性能要求和容许的电流消耗。在现场变送器中，低电流消耗至关重要。对于这种应用，低功耗模式或中功率模式最适合。在过程控制应用中，功耗不是优先考虑。因此，可以选择全功率模式。全功率模式提供较高的吞吐量和较低的噪声。

利用AD7124-8片内诊断功能，用户可以检查电路连接，监控电源、基准电压和LDO电压，检查所有转换和校准有无错误，监控所有读写操作。如果外部基准电压源REFIN2(±)或REFIN1(±)缺失，REF_DET_ERR标志就会置1。还可以检查LDO上的去耦电容。ADC可以指示该电容是否存在。

作为转换过程的一部分，模拟输入过压/欠压监控器可用于检测AINP和AINM上的过压情况。可以选择电源电压和基

准电压作为ADC的输入。因此，用户可以定期检查这两个电压，确认其是否在系统规格范围内。另外，用户可以检查LDO电压是否在规格范围内。还可以检查转换过程和校准过程，确保发现任何无效的转换或校准并告知用户。

最后，CRC检查、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作，使接口更加鲁棒。在处理器与ADC之间传输数据时，CRC检查可以指示是否有数据位损坏。



NOTES
1. SIMPLIFIED BLOCK DIAGRAM SHOWN.

图128. 流量计应用

AD7124-8

片内寄存器

ADC通过许多片内寄存器进行控制和配置，下面的章节将说明这些寄存器。在下面的描述中，“置1”表示逻辑1状态，“清0”表示逻辑0状态，除非另有说明。

表63. 寄存器小结

地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	WEN	R/W	RS[5:0]						0x00	W
0x00	状态	RDY	ERROR_FLAG	0	POR_FLAG	CH_ACTIVE				0x00	R
0x01	ADC_CONTROL	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW
		POWER_MODE		Mode			CLK_SEL				
0x02	数据	Data [23:16]								0x000000	R
		Data [15:8]									
		Data [7:0]									
0x03	IO_CONTROL_1	GPIO_DAT4	GPIO_DAT3	GPIO_DAT2	GPIO_DAT1	GPIO_CTRL4	GPIO_CTRL3	GPIO_CTRL2	GPIO_CTRL1	0x000000	RW
		PDSW	0	IOUT1		IOUT0					
		IOUT1_CH				IOUT0_CH					
0x04	IO_CONTROL_2	VBIAS15	VBIAS14	VBIAS13	VBIAS12	VBIAS11	VBIAS10	VBIAS9	VBIAS8	0x0000	RW
		VBIAS7	VBIAS6	VBIAS5	VBIAS4	VBIAS3	VBIAS2	VBIAS1	VBIAS0		
0x05	ID	DEVICE_ID				SILICON_REVISION				0x12	R
0x06	错误	0				LDO_CAP_ERR	ADC_CAL_ERR	ADC_CONV_ERR	ADC_SAT_ERR	0x000000	R
		AINP_OV_ERR	AINP_UV_ERR	AINM_OV_ERR	AINM_UV_ERR	REF_DET_ERR	0	DLDO_PSM_ERR	0		
		ALDO_PSM_ERR	SPI_IGNORE_ERR	SPI_SCLK_CNT_ERR	SPI_READ_ERR	SPI_WRITE_ERR	SPI_CRC_ERR	MM_CRC_ERR	0		
0x07	ERROR_EN	0	MCLK_CNT_EN	LDO_CAP_CHK_TEST_EN	LDO_CAP_CHK		ADC_CAL_ERR_EN	ADC_CONV_ERR_EN	ADC_SAT_ERR_EN	0x000040	RW
		AINP_OV_ERR_EN	AINP_UV_ERR_EN	AINM_OV_ERR_EN	AINM_UV_ERR_EN	REF_DET_ERR_EN	DLDO_PSM_TRIP_TEST_EN	DLDO_PSM_ERR_EN	ALDO_PSM_TRIP_TEST_EN		
		ALDO_PSM_ERR_EN	SPI_IGNORE_ERR_EN	SPI_SCLK_CNT_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	SPI_CRC_ERR_EN	MM_CRC_ERR_EN	0		
0x08	MCLK_COUNT	MCLK_COUNT								0x00	R
0x09至0x18	CHANNEL_0至CHANNEL_15	Enable	Setup			0		AINP[4:3]		0x8001 ¹	RW
		AINP[2:0]			AINM[4:0]						
0x19至0x20	CONFIG_0至CONFIG_7	0				Bipolar	Burnout		REF_BUFPM	0x0860	RW
		REF_BUFPM	AIN_BUFPM	AIN_BUFPM	REF_SEL		PGA				
0x21至0x28	FILTER_0至FILTER_7	Filter			REJ60	POST_FILTER			SINGLE_CYCLE	0x060180	RW
		0			FS[10:8]						
		FS[7:0]									
0x29至0x30	OFFSET_0至OFFSET_7	Offset [23:16]								0x800000	RW
		Offset [15:8]									
		Offset [7:0]									
0x31至0x38	GAIN_0至GAIN_7	Gain [23:16]								0x5XXXXX	RW
		Gain [15:8]									
		Gain [7:0]									

¹ CHANNEL_0复位值为0x8001。所有其它通道的复位值为0x0000。

通信寄存器

RS[5:0] = 0, 0, 0, 0, 0, 0

通信寄存器是一个8位只写寄存器。与器件的所有通信均必须以对通信寄存器的写操作开始。写入通信寄存器的数据决定了下一个操作是读操作还是写操作，以及此操作的操作对象是哪一个寄存器，RS[5:0]位选择要访问的寄存器。

对于读或写操作，当对选定寄存器的读或写操作完成后，

接口返回到对通信寄存器执行写操作的状态。这是接口的默认状态，在上电或复位后，ADC将处于此默认状态，等待对通信寄存器的写操作。

当接口时序丢失之后，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，将可以复位整个器件，从而让ADC返回此默认状态。表64列出了通信寄存器位功能描述。位7表示数据流的第一位。

位7	位6	位5	位4	位3	位2	位1	位0
WEN (0)	R/W (0)	RS[5:0] (0)					

表64. 通信寄存器位功能描述

位	位名称	描述
7	WEN	写入使能位。必须将0写入此位，才能对通信寄存器执行写操作。如果第一位写入1，则器件不会将后续位载入寄存器，而是停留在此位的位置，直到此位写入0。将0写入WEN位后，器件便会将后续7位载入通信寄存器。
6	$\overline{R/W}$	如果此位为0，则表示下一个操作是对指定寄存器执行写操作。如果此位为1，则表示下一个操作是对指定寄存器执行读操作。
5:0	RS[5:0]	寄存器地址位。这些地址位决定串行接口通信期间选择ADC的哪些寄存器。参见表63。

状态寄存器

RS[5:0] = 0, 0, 0, 0, 0, 0

上电/复位 = 0x00

状态寄存器是一个8位只读寄存器。要访问ADC状态寄存器，用户必须写入通信寄存器，选择下一个操作为读操作，并将寄存器地址位RS[5:0]设为0。

表65列出了状态寄存器各位的名称和意义。位7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
RDY (0)	ERROR_FLAG (0)	0 (0)	POR_FLAG (0)	CH_ACTIVE (0)			

表65. 状态寄存器位功能描述

位	位名称	描述
7	RDY	ADC就绪位。数据写入ADC数据寄存器后此位清0。读取ADC数据寄存器之后，或者在用新转换结果更新数据寄存器之前的一段时间内，RDYB位自动置1，以告知用户不应读取转换数据。当器件处在关断或待机模式时，该位也置1。DOUT/RDY引脚也会指示转换何时结束。该引脚可以代替状态寄存器来监视ADC有无转换数据。
6	ERROR_FLAG	ADC错误位。此位指示错误寄存器中的某个错误位已置位。如果错误寄存器中的一个或多个错误位置1，则此位为1。读取错误寄存器时，此位清0。
5	0	此位置0。
4	POR_FLAG	上电复位标志。此位表示发生上电复位。上电时，电源电压低于阈值电压时，执行复位时，以及退出关断模式时，都会发生上电复位。要将此位清0，必须读取状态寄存器。

AD7124-8

位	位名称	描述
3:0	CH_ACTIVE	<p>这些位表示ADC正在对哪一通道执行转换操作。</p> <p>0000 = 通道0。 0001 = 通道1。 0010 = 通道2。 0011 = 通道3。 0100 = 通道4。 0101 = 通道5。 0110 = 通道6。 0111 = 通道7。 1000 = 通道8。 1001 = 通道9。 1010 = 通道10。 1011 = 通道11。 1100 = 通道12。 1101 = 通道13。 1110 = 通道14。 1111 = 通道15。</p>

ADC_CONTROL寄存器

RS[5:0] = 0, 0, 0, 0, 0, 1

上电/复位 = 0x0000

表66列出了该寄存器位功能描述。位15是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
0 (0)	0 (0)	0 (0)	DOUT_RDY_DEL (0)	CONT_READ (0)	DATA_STATUS (0)	CS_EN (0)	REF_EN (0)
POWER_MODE (0)		Mode (0)				CLK_SEL (0)	

表66. ADC控制寄存器位功能描述

位	位名称	描述
15:13	0	必须将这些位编程为逻辑0才能正常工作。
12	DOUT_RDY_DEL	控制SCLK无效沿到DOUT/RDY高电平时间。当DOUT_RDY_DEL清0时，延迟为10 ns(最小值)。当DOUT_RDY_DEL置1时，延迟提高到100 ns(最小值)。当CS接低电平(CS_EN位设为0)时，此功能有作用。
11	CONT_READ	连续读取数据寄存器。当此位为1(并且已选择数据寄存器)时，串行接口可以连续读取数据寄存器；即在RDY引脚变为低电平(表示转换已完成)后施加SCLK脉冲时，数据寄存器的内容将自动置于DOUT引脚上。对于后续数据读取，不必对通信寄存器执行写操作。要使能连续读取，CONT_READ位应置1。要禁用连续读取，应在DOUT/RDY引脚为低电平时写入一个读取数据命令。使能连续读取后，ADC将监控DIN线路上的活动，以便能接收指令，从而禁用连续读取。另外，如果DIN上连续出现64个1，ADC将复位；因此，DIN应保持低电平，直到有指令写入器件为止。
10	DATA_STATUS	每次数据寄存器读操作之后，状态寄存器内容传输的使能位。DATA_STATUS置1后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。此功能在选定多个通道的情况下很有用，因为状态寄存器可确定哪一通道与数据寄存器值对应。
9	CS_EN	<p>此位控制数据读取操作期间DOUT/RDY引脚何时从DOUT引脚变为RDY引脚。</p> <p>CS_EN清0时，DOUT引脚在SCLK无效沿的数纳秒内变为RDY引脚(延迟由DOUT_RDY_DEL位决定)。</p> <p>置1时，DOUT/RDY引脚在SCLK无效沿之后继续用作DOUT引脚。</p> <p>当CS变为高电平时，该引脚变为RDY引脚。要使用诊断功能SPI_WRITE_ERR、SPI_READ_ERR和SPI_SCLK_CNT_ERR，CS_EN必须置1。</p>

位	位名称	描述
8	REF_EN	内部基准电压使能。此位置1时，内部基准电压源使能，并通过REFOUT引脚输出。此位置0时，内部基准电压源禁用。
7:6	POWER_MODE	功耗模式选择。这些位用于选择功耗模式。电流消耗和输出数据速率范围取决于功耗模式。 00 = 低功耗。 01 = 中功率。 10 = 全功率。 11 = 全功率。
5:2	Mode	这些位控制ADC的工作模式。参见表67。
1:0	CLK_SEL	这些位选择ADC的时钟源。可以使用片内614.4 kHz时钟或外部时钟。使用外部时钟时，多个AD7124-8器件可以同步。此外，当采用精确的外部时钟驱动该ADC时，可以改善50 Hz/60 Hz抑制性能。 00 = 内部614.4 kHz时钟。CLK引脚不提供内部时钟。 01 = 内部614.4 kHz时钟。CLK引脚提供此时钟。 10 = 外部614.4 kHz时钟。 11 = 外部时钟。该外部时钟在AD7124-8内被4分频。

表67. 工作模式

模值	描述
0000	连续转换模式(默认)。在连续转换模式下，ADC连续执行转换，并将结果置于数据寄存器中。RDY在完成转换时变为低电平。用户可以将器件置于连续读取模式下，以读取这些转换结果；当施加SCLK脉冲时，转换结果自动置于DOUT线路上。另一方面，用户可以通过对通信寄存器进行写操作，指示ADC输出转换结果。ADC上电、复位或重新配置之后，产生第一个有效转换结果所需的时间为滤波器完全建立的时间。后续转换结果将以选定的输出数据速率(取决于滤波器选择)提供。
0001	单次转换模式。选择单次转换模式时，ADC上电并在选定通道上执行单次转换。转换需要滤波器的完整建立时间。转换结果置于数据寄存器中，RDY变为低电平，然后ADC返回待机模式。在数据被读取或执行另一次转换之前，转换结果将一直被保存在数据寄存器中，并且RDY保持有效(低电平)。
0010	待机模式。待机模式下，AD7124-8除LDO以外的所有部分都可以关断。内部基准电压源、片内振荡器、低端功率开关和偏置电压发生器在待机模式下可以使能或禁用。片内寄存器在待机模式下保持其内容。当ADC处于空闲模式时，使能的诊断仍然有效。待机模式下可以使能或禁用诊断功能。然而，任何需要主时钟的诊断功能(基准电压检测、欠压/过压检测、LDO跳闸测试、存储器映射CRC和MCLK计数器)都必须在ADC处于连续转换模式或空闲模式时使能；在待机模式下使能时，这些诊断不起作用。
0011	关断模式。在关断模式下，AD7124-8所有电路都关断，包括电流源、功率开关、开路测试电流、偏置电压发生器和时钟电路。LDO也关断。在关断模式下，片内寄存器不保留其内容。因此，退出关断模式时，所有寄存器必须重新编程。
0100	空闲模式。在空闲模式下，ADC滤波器和调制器保持复位状态，但会继续提供调制器时钟。
0101	内部零电平(失调)校准。内部短路自动连接到输入端。RDY在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。执行零电平校准时，只能选择一个通道。完成内部零电平校准需要一个建立周期的时间。
0110	内部满量程(增益)校准。对于该校准，满量程输入电压会自动连接到选定的模拟输入。RDY在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC处于空闲模式。测得的满量程系数保存在所选通道的增益寄存器中。每次更改一个通道的增益时，均需要执行满量程校准，使满量程误差最小。执行满量程校准时，只能选择一个通道。完成内部满量程校准所需的时间为1个建立周期(增益为1时)或4个建立周期(增益大于1时)。在全功率模式下，无法执行内部满量程校准。因此，使用全功率模式时，应选择中功率或低功耗模式来执行内部满量程校准。此校准在全功率模式下有效，因为使用的是相同的基准电压源和增益。执行内部零电平和内部满量程校准时，必须先执行内部满量程校准，再执行内部零电平校准。因此，执行内部满量程校准之前应向失调寄存器写入0x800000，以将失调寄存器复位到默认值。

AD7124-8

模值	描述
0111	系统零电平(失调)校准。将系统零电平输入连接到所选通道的通道输入引脚。RDY在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。每次更改一个通道的增益时，都需要执行系统零电平校准。执行满量程校准时，只能选择一个通道。完成系统零电平校准需要一个建立周期的时间。
1000	系统满量程(增益)校准。将系统满量程输入连接到所选通道的通道输入引脚。RDY在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC处于空闲模式。测得的满量程系数保存在所选通道的增益寄存器中。每次更改一个通道的增益时，都需要执行满量程校准。执行满量程校准时，只能选择一个通道。完成系统满量程校准需要一个建立周期的时间。
1001 至1111	保留。

数据寄存器

RS[5:0] = 0, 0, 0, 0, 1, 0

上电/复位 = 0x000000

此数据寄存器存储ADC的转换结果。这是一个只读寄存器。完成对此寄存器的读操作后，RDY位/引脚置1。

IO_CONTROL_1寄存器

RS[5:0] = 0, 0, 0, 0, 1, 1

上电/复位 = 0x000000

表68列出了该寄存器位功能描述。位23是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
GPIO_DAT4 (0)	GPIO_DAT3 (0)	GPIO_DAT2 (0)	GPIO_DAT1 (0)	GPIO_CTRL4 (0)	GPIO_CTRL3 (0)	GPIO_CTRL2 (0)	GPIO_CTRL1 (0)
PDSW (0)	0 (0)	IOUT1 (0)			IOUT0 (0)		
IOUT1_CH (0)				IOUT0_CH (0)			

表68. IO_CONTROL_1寄存器位功能描述

位	位名称	描述
23	GPIO_DAT4	数字输出P4。GPIO_CTRL4置1时，GPIO_DAT4位设置通用输出引脚P4的值。GPIO_DAT4为高电平时，输出引脚P4为高电平。GPIO_DAT4为低电平时，输出引脚P4为低电平。读取IO_CONTROL_1寄存器时，如果GPIO_CTRL4置1，GPIO_DAT4位将反映P4引脚的状态。
22	GPIO_DAT3	数字输出P3。GPIO_CTRL3置1时，GPIO_DAT3位设置通用输出引脚P3的值。GPIO_DAT3为高电平时，输出引脚P3为高电平。GPIO_DAT3为低电平时，输出引脚P3为低电平。读取IO_CONTROL_1寄存器时，如果GPIO_CTRL3置1，GPIO_DAT3位将反映P3引脚的状态。
21	GPIO_DAT2	数字输出P2。GPIO_CTRL2置1时，GPIO_DAT2位设置通用输出引脚P2的值。GPIO_DAT2为高电平时，输出引脚P2为高电平。GPIO_DAT2为低电平时，输出引脚P2为低电平。读取IO_CONTROL_1寄存器时，如果GPIO_CTRL2置1，GPIO_DAT2位将反映P2引脚的状态。
20	GPIO_DAT1	数字输出P1。GPIO_CTRL1置1时，GPIO_DAT1位设置通用输出引脚P1的值。GPIO_DAT1为高电平时，输出引脚P1为高电平。GPIO_DAT1为低电平时，输出引脚P1为低电平。读取IO_CONTROL_1寄存器时，如果GPIO_CTRL1置1，GPIO_DAT1位将反映P1引脚的状态。
19	GPIO_CTRL4	数字输出P4使能。GPIO_CTRL4置1时，数字输出P4有效。GPIO_CTRL4清0时，该引脚用作模拟输入引脚AIN5。

位	位名称	描述
18	GPIO_CTRL3	数字输出P3使能。GPIO_CTRL3置1时，数字输出P3有效。GPIO_CTRL3清0时，该引脚用作模拟输入引脚AIN4。
17	GPIO_CTRL2	数字输出P2使能。GPIO_CTRL2置1时，数字输出P2有效。GPIO_CTRL2清0时，该引脚用作模拟输入引脚AIN3。
16	GPIO_CTRL1	数字输出P1使能。GPIO_CTRL1置1时，数字输出P1有效。GPIO_CTRL1清0时，该引脚用作模拟输入引脚AIN2。
15	PDSW	电桥关断开关控制位。此位置1时，电桥关断开关PDSW闭合(与AGND相连)。该开关可提供30 mA的吸电流。此位清0时，电桥关断开关断开。当ADC处于待机模式时，电桥关断开关仍然有效。
14	0	必须将此位编程为逻辑0才能正常工作。
13:11	IOUT1	这些位设置IOUT1激励电流的值。 000 = 关闭。 001 = 50 μ A。 010 = 100 μ A。 011 = 250 μ A。 100 = 500 μ A。 101 = 750 μ A。 110 = 1000 μ A。 111 = 1000 μ A。
10:8	IOUT0	这些位设置IOUT0激励电流的值。 000 = 关闭。 001 = 50 μ A。 010 = 100 μ A。 011 = 250 μ A。 100 = 500 μ A。 101 = 750 μ A。 110 = 1000 μ A。 111 = 1000 μ A。
7:4	IOUT1_CH	IOUT1激励电流的通道选择位。 0000 = IOUT1通过AIN0引脚提供。 0001 = IOUT1通过AIN1引脚提供。 0010 = IOUT1通过AIN2引脚提供。 0011 = IOUT1通过AIN3引脚提供。 0100 = IOUT1通过AIN4引脚提供。 0101 = IOUT1通过AIN5引脚提供。 0110 = IOUT1通过AIN6引脚提供。 0111 = IOUT1通过AIN7引脚提供。 1000 = IOUT1通过AIN8引脚提供。 1001 = IOUT1通过AIN9引脚提供。 1010 = IOUT1通过AIN10引脚提供。 1011 = IOUT1通过AIN11引脚提供。 1100 = IOUT1通过AIN12引脚提供。 1101 = IOUT1通过AIN13引脚提供。 1110 = IOUT1通过AIN14引脚提供。 1111 = IOUT1通过AIN15引脚提供。

AD7124-8

位	位名称	描述
3:0	IOUT0_CH	<p>IOUT0激励电流的通道选择位。</p> <p>0000 = IOUT0通过AIN0引脚提供。</p> <p>0001 = IOUT0通过AIN1引脚提供。</p> <p>0010 = IOUT0通过AIN2引脚提供。</p> <p>0011 = IOUT0通过AIN3引脚提供。</p> <p>0100 = IOUT0通过AIN4引脚提供。</p> <p>0101 = IOUT0通过AIN5引脚提供。</p> <p>0110 = IOUT0通过AIN6引脚提供。</p> <p>0111 = IOUT0通过AIN7引脚提供。</p> <p>1000 = IOUT0通过AIN8引脚提供。</p> <p>1001 = IOUT0通过AIN9引脚提供。</p> <p>1010 = IOUT0通过AIN10引脚提供。</p> <p>1011 = IOUT0通过AIN11引脚提供。</p> <p>1100 = IOUT0通过AIN12引脚提供。</p> <p>1101 = IOUT0通过AIN13引脚提供。</p> <p>1110 = IOUT0通过AIN14引脚提供。</p> <p>1111 = IOUT0通过AIN15引脚提供。</p>

IO_CONTROL_2寄存器

RS[5:0] = 0, 0, 0, 1, 0, 0

上电/复位 = 0x0000

表69列出了该寄存器位功能描述。位15是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。内部偏置电压可以在多个通道上使能。

位7	位6	位5	位4	位3	位2	位1	位0
VBIAS15 (0)	VBIAS14 (0)	VBIAS13 (0)	VBIAS12 (0)	VBIAS11 (0)	VBIAS10 (0)	VBIAS9 (0)	VBIAS8 (0)
VBIAS7 (0)	VBIAS6 (0)	VBIAS5 (0)	VBIAS4 (0)	VBIAS3 (0)	VBIAS2 (0)	VBIAS1 (0)	VBIAS0 (0)

表69. IO_CONTROL_2寄存器位功能描述

位	位名称	描述
15	VBIAS15	使能AIN15通道上的偏置电压。置1时，内部偏置电压通过AIN15提供。
14	VBIAS14	使能AIN14通道上的偏置电压。置1时，内部偏置电压通过AIN14提供。
13	VBIAS13	使能AIN13通道上的偏置电压。置1时，内部偏置电压通过AIN13提供。
12	VBIAS12	使能AIN12通道上的偏置电压。置1时，内部偏置电压通过AIN12提供。
11	VBIAS11	使能AIN11通道上的偏置电压。置1时，内部偏置电压通过AIN11提供。
10	VBIAS10	使能AIN10通道上的偏置电压。置1时，内部偏置电压通过AIN10提供。
9	VBIAS9	使能AIN9通道上的偏置电压。置1时，内部偏置电压通过AIN9提供。
8	VBIAS8	使能AIN8通道上的偏置电压。置1时，内部偏置电压通过AIN8提供。
7	VBIAS7	使能AIN7通道上的偏置电压。置1时，内部偏置电压通过AIN7提供。
6	VBIAS6	使能AIN6通道上的偏置电压。置1时，内部偏置电压通过AIN6提供。
5	VBIAS5	使能AIN5通道上的偏置电压。置1时，内部偏置电压通过AIN5提供。
4	VBIAS4	使能AIN4通道上的偏置电压。置1时，内部偏置电压通过AIN4提供。
3	VBIAS3	使能AIN3通道上的偏置电压。置1时，内部偏置电压通过AIN3提供。
2	VBIAS2	使能AIN2通道上的偏置电压。置1时，内部偏置电压通过AIN2提供。
1	VBIAS1	使能AIN1通道上的偏置电压。置1时，内部偏置电压通过AIN1提供。
0	VBIAS0	使能AIN0通道上的偏置电压。置1时，内部偏置电压通过AIN0提供。

ID寄存器

RS[5:0] = 0, 0, 0, 1, 0, 1

上电/复位 = 0x12

ID寄存器存储AD7124-8的识别号。这是一个只读寄存器。

错误寄存器

RS[5:0] = 0, 0, 0, 1, 1, 0

上电/复位 = 0x000000

AD7124-8具有诊断功能，例如检查过压和SPI接口等。错误寄存器包含不同诊断功能的标志位。各功能通过ERROR_EN寄存器使能或禁用。

表70列出了该寄存器位功能描述。位23是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
0 (0)				LDO_CAP_ERR (0)	ADC_CAL_ERR (0)	ADC_CONV_ERR (0)	ADC_SAT_ERR (0)
AINP_OV_ERR (0)	AINP_UV_ERR (0)	AINM_OV_ERR (0)	AINM_UV_ERR (0)	REF_DET_ERR (0)	0 (0)	DLDO_PSM_ERR (0)	0 (0)
ALDO_PSM_ERR (0)	SPI_IGNORE_ERR (0)	SPI_SCLK_CNT_ERR (0)	SPI_READ_ERR (0)	SPI_WRITE_ERR (0)	SPI_CRC_ERR (0)	MM_CRC_ERR (0)	0 (0)

表70. 错误寄存器位功能描述

位	位名称	描述
23:20	0	必须将这些位编程为逻辑0才能正常工作。
19	LDO_CAP_ERR	模拟/数字LDO去耦电容检查。如果模拟和数字LDO需要的去耦电容未连接到AD7124-8，此标志位置1。
18	ADC_CAL_ERR	校准检查。如果校准已启动但未完成，此标志位置1表示校准发生错误。相关的校准寄存器不会更新。
17	ADC_CONV_ERR	此位表示转换结果是否有效。如果转换过程中发生错误，此标志位置1。
16	ADC_SAT_ERR	ADC饱和标志。如果转换过程中调制器饱和，此标志位置1。
15	AINP_OV_ERR	AINP上的过压检测。
14	AINP_UV_ERR	AINP上的欠压检测。
13	AINM_OV_ERR	AINM上的过压检测。
12	AINM_UV_ERR	AINM上的欠压检测。
11	REF_DET_ERR	基准电压检测。当ADC所用的外部基准电压开路或小于0.7 V时，此标志位置1。
10	0	必须将此位编程为逻辑0才能正常工作。
9	DLDO_PSM_ERR	数字LDO错误。如果数字LDO检测到错误，此标志位置1。
8	0	必须将此位编程为逻辑0才能正常工作。
7	ALDO_PSM_ERR	模拟LDO错误。如果模拟LDO电压检测到错误，此标志位置1。
6	SPI_IGNORE_ERR	执行内部寄存器的CRC检查时，无法访问片内寄存器。ADC会忽略用户指令。当寄存器的CRC检查正在进行时，此位置1。当检查完成时，此位清0；只有这时候才能执行读写操作。
5	SPI_SCLK_CNT_ERR	所有串行通信都是8位的某一倍数。当SCLK周期数不是8的倍数时，此位置1。
4	SPI_READ_ERR	SPI读操作期间发生错误时，此位置1。
3	SPI_WRITE_ERR	SPI写操作期间发生错误时，此位置1。
2	SPI_CRC_ERR	串行通信的CRC检查发生错误时，此位置1。
1	MM_CRC_ERR	存储器映射错误。每次写入寄存器时，都会对存储器映射执行CRC计算。随后会对片内寄存器定期执行CRC检查。如果寄存器内容发生改变，MM_CRC位就会置1。
0	0	必须将此位编程为逻辑0才能正常工作。

AD7124-8

ERROR_EN寄存器

RS[5:0] = 0, 0, 0, 1, 1, 1

上电/复位 = 0x000040

通过设置此寄存器中的相应位，可以使能或禁用所有诊断功能。

表71列出了该寄存器位功能描述。位23是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
0(0)	MCLK_CNT_EN (0)	LDO_CAP_CHK_TEST_EN (0)	LDO_CAP_CHK (0)		ADC_CAL_ERR_EN (0)	ADC_CONV_ERR_EN (0)	ADC_SAT_ERR_EN (0)
AINP_OV_ERR_EN (0)	AINP_UV_ERR_EN (0)	AINM_OV_ERR_EN (0)	AINM_UV_ERR_EN (0)	REF_DET_ERR_EN (0)	DLDO_PSM_TRIP_TEST_EN (0)	DLDO_PSM_ERR_EN (0)	ALDO_PSM_TRIP_TEST_EN (0)
ALDO_PSM_ERR_EN (0)	SPI_IGNORE_ERR_EN (0)	SPI_SCLK_CNT_ERR_EN (0)	SPI_READ_ERR_EN (0)	SPI_WRITE_ERR_EN (0)	SPI_CRC_ERR_EN (0)	MM_CRC_ERR_EN (0)	0 (0)

表71. ERROR_EN寄存器位功能描述

位	位名称	描述
23	0	必须将此位编程为逻辑0才能正常工作。
22	MCLK_CNT_EN	主时钟计数器。此位置1时，主时钟计数器使能，结果通过MCLK_COUNT寄存器报告。计数器监控ADC所用的主时钟。如果时钟源为外部时钟，MCLK计数器将监控此外部时钟。同样，如果选择片内振荡器作为ADC的时钟源，MCLK计数器将监控片内振荡器。
21	LDO_CAP_CHK_TEST_EN	模拟/数字LDO去耦电容检查的测试。此位置1时，去耦电容与LDO在内部断开，强制产生故障。这样，用户就可以测试模拟和数字LDO去耦电容检查所用的电路。
20:19	LDO_CAP_CHK	模拟/数字LDO去耦电容检查。这些位使能电容检查。检查使能后，ADC检查所选电源有无外部去耦电容。检查完毕时，LDO_CAP_CHK位均复位为0。 00 = 检查未使能。 01 = 检查模拟LDO电容。 10 = 检查数字LDO电容。 11 = 检查未使能。
18	ADC_CAL_ERR_EN	此位置1时，校准故障检查使能。
17	ADC_CONV_ERR_EN	此位置1时，监控转换；发生转换故障时，ADC_CONV_ERR位置1。
16	ADC_SAT_ERR_EN	此位置1时，ADC调制器饱和和检查使能。
15	AINP_OV_ERR_EN	此位置1时，所有使能的AINP通道上的过压监控器使能。
14	AINP_UV_ERR_EN	此位置1时，所有使能的AINP通道上的欠压监控器使能。
13	AINM_OV_ERR_EN	此位置1时，所有使能的AINM通道上的过压监控器使能。
12	AINM_UV_ERR_EN	此位置1时，所有使能的AINM通道上的欠压监控器使能。
11	REF_DET_ERR_EN	此位置1时，连续监控ADC使用的外部基准电压源。如果外部基准电压源开路或其值小于0.7 V，错误标志位就会置1。
10	DLDO_PSM_TRIP_TEST_EN	检查监控数字LDO的测试机制。此位置1时，测试电路的输入连接到DGND，而非LDO输出。设置错误寄存器中的DLDO_PSM_ERR位。
9	DLDO_PSM_ERR_EN	此位置1时，连续监控数字LDO电压。如果数字LDO输出的电压不在规格范围内，错误寄存器中的DLDO_PSM_ERR位就会置1。
8	ALDO_PSM_TRIP_TEST_EN	检查监控模拟LDO的测试机制。此位置1时，测试电路的输入连接到AV _{SS} ，而非LDO输出。设置错误寄存器中的ALDO_PSM_ERR位。
7	ALDO_PSM_ERR_EN	此位置1时，连续监控模拟LDO电压。如果模拟LDO输出的电压不在规格范围内，错误寄存器中的ALDO_PSM_ERR位就会置1。
6	SPI_IGNORE_ERR_EN	执行内部寄存器的CRC检查时，无法访问片内寄存器。ADC会忽略用户指令。应在此位置1，以便通过错误寄存器中的SPI_IGNORE_ERR位来告知用户何时不能执行读写操作。

位	位名称	描述
5	SPI_SCLK_CNT_ERR_EN	此位置1时，SCLK计数器使能。所有对ADC的读写操作都是8位的倍数。对于每次串行通信，SCLK计数器计数SCLK脉冲数。必须使用CS来对读写操作进行帧控制。如果通信期间使用的SCLK脉冲数不是8的倍数，那么错误寄存器中的SPI_SCLK_CNT_ERR位就会置1。例如，读或写操作期间SCLK引脚上的故障可能会被解读为一个SCLK脉冲。这种情况下，SPI_SCLK_CNT_ERR位会置1，因为检测到过多的SCLK脉冲。使用SCLK计数器功能时，ADC_CONTROL寄存器中的CS_EN必须置1。
4	SPI_READ_ERR_EN	此位置1时，如果读操作期间发生错误，错误寄存器中的SPI_READ_ERR位就会置1。如果用户试图读取无效地址，就会出错。使用SPI读操作检查功能时，ADC_CONTROL寄存器中的CS_EN必须置1。
3	SPI_WRITE_ERR_EN	此位置1时，如果写操作期间发生错误，错误寄存器中的SPI_WRITE_ERR位就会置1。如果用户试图写入无效地址或只读寄存器，就会出错。使用SPI写操作检查功能时，ADC_CONTROL寄存器中的CS_EN必须置1。
2	SPI_CRC_ERR_EN	此位使能对所有读写操作的CRC检查。如果CRC检查失败，错误寄存器中的SPI_CRC_ERR位就会置1。此位，所有从AD7124-8读取的数据都会附加一个8位CRC字。
1	MM_CRC_ERR_EN	如果此位置1，则每次写入寄存器时，都会对存储器映射执行CRC计算。随后会对片内寄存器定期执行CRC检查。如果寄存器内容发生改变，MM_CRC位就会置1。
0	0	必须将此位编程为逻辑0才能正常工作。

MCLK_COUNT寄存器

RS[5:0] = 0, 0, 1, 0, 0, 0

上电/复位 = 0x00

主时钟频率可利用此寄存器来监控。

表72列出了该寄存器位功能描述。位7是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
MCLK_COUNT (0)							

表72. MCLK_COUNT寄存器位功能描述

位	位名称	描述
7:0	MCLK_COUNT	利用此寄存器，用户可确定内部/外部振荡器的频率。每出现131个采样时钟（全功率模式下为614.4 kHz，中功率模式下为153.6 kHz，低功耗模式下为768 kHz）脉冲，器件内部的一个时钟计数器就会递增。该8位计数器达到最大值后会绕回。计数器输出通过此寄存器回读。

AD7124-8

通道寄存器

RS[5:0] = 0, 0, 1, 0, 0, 1至0, 1, 1, 0, 0, 0

上电/复位 = CHANNEL_0为0x8001, 所有其它通道寄存器设置为0x0001

AD7124-8有16个通道寄存器: CHANNEL_0至CHANNEL_15。通道寄存器的起始地址为0x09 (CHANNEL_0), 结束地址为0x18 (CHANNEL_15)。通过各寄存器, 用户可以配置通道(AINP输入和AINM输入), 使能或禁用通道, 以及选择设置。设置可从用户定义的8种不同选项中选择。当ADC转换时, 它会自动遍历所有使能的通道。如果需要, 用户可以在一个序列中对某些通道多次采样。此位, 用户还可以将诊断功能包括在序列之中。

表73列出了该寄存器位功能描述。位15是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
Enable(1)	Setup (0)			(0)	0 (0)	AINP[4:3] (00)	
AINP[2:0] (000)				AINM[4:0] (00001)			

表73. 通道寄存器位功能描述

位	位名称	描述
15	Enable	通道使能位。此位置1会使能器件通道进入转换序列。默认情况下, 仅通道0的Enable位置1。转换顺序是从编号最小的使能通道开始, 然后遍历编号依次提高的通道, 最后绕回编号最小的通道。 当ADC写入特定通道的结果时, 状态寄存器的4个LSB设置为该通道编号(0至15), 这样就可以知道数据所对应的通道。当ADC_CONTROL寄存器的DATA_STATUS位置1时, 状态寄存器的内容会添加到所读取的各转换结果中。当有多个通道使能时, 利用此功能可确定读取的转换值对应于哪个通道。
14:12	Setup	设置选择。这些位决定该通道使用8种设置中的哪一种来配置ADC。设置由四个寄存器组成: 模拟配置、输出数据速率/滤波器选择、失调寄存器和增益寄存器。所有通道可以使用相同的设置, 此时对于所有有效的通道, 必须将相同的3位值写入这些位。或者, 最多可以定义8个不同的通道。
11:10	0	必须将这些位编程为逻辑0才能正常工作。
9:5	AINP[4:0]	正模拟输入AINP输入选择。这些位选择哪个模拟输入连接到此通道的正输入。 00000 = AIN0(默认值)。 00001 = AIN1。 00010 = AIN2。 00011 = AIN3。 00100 = AIN4。 00101 = AIN5。 00110 = AIN6。 00111 = AIN7。 01000 = AIN8。 01001 = AIN9。 01010 = AIN10。 01011 = AIN11。 01100 = AIN12。 01101 = AIN13。 01110 = AIN14。 01111 = AIN15。 10000 = 温度传感器。 10001 = AV _{SS} 。 10010 = 内部基准电压源。 10011 = DGND。 10100 = (AV _{DD} - AV _{SS})/6+。与(AV _{DD} - AV _{SS})/6-一同使用以监控电源AV _{DD} - AV _{SS} 。 10101 = (AV _{DD} - AV _{SS})/6-。与(AV _{DD} - AV _{SS})/6+一同使用以监控电源AV _{DD} - AV _{SS} 。 10110 = (IOV _{DD} - DGND)/6+。与(IOV _{DD} - DGND)/6-一同使用以监控IOV _{DD} - DGND。 10111 = (IOV _{DD} - DGND)/6-。与(IOV _{DD} - DGND)/6+一同使用以监控IOV _{DD} - DGND。

位	位名称	描述
		11000 = (ALDO - AV _{SS})/6+。与(ALDO - AV _{SS})/6-一同使用以监控模拟LDO。 11001 = (ALDO - AV _{SS})/6-。与(ALDO - AV _{SS})/6+一同使用以监控模拟LDO。 11010 = (DLDO - DGND)/6+。与(DLDO - DGND)/6-一同使用以监控数字LDO。 11011 = (DLDO - DGND)/6-。与(DLDO - DGND)/6+一同使用以监控数字LDO。 11100 = V_20MV_P。与V_20MV_M一同使用，以将20 mV p-p信号施加于ADC。 11101 = V_20MV_M。与V_20MV_P一同使用，以将20 mV p-p信号施加于ADC。 10010 = REFOUT。 10011 = DGND。
4:0	AINM[4:0]	负模拟输入AINM输入选择。这些位选择哪个模拟输入连接到此通道的负输入。 00000 = AIN0(默认值)。 00001 = AIN1。 00010 = AIN2。 00011 = AIN3。 00100 = AIN4。 00101 = AIN5。 00110 = AIN6。 00111 = AIN7。 01000 = AIN8。 01001 = AIN9。 01010 = AIN10。 01011 = AIN11。 01100 = AIN12。 01101 = AIN13。 01110 = AIN14。 01111 = AIN15。 10000 = 温度传感器。 10001 = AV _{SS} 。 10010 = 内部基准电压源。 10011 = DGND。 10100 = (AV _{DD} - AV _{SS})/6+。与(AV _{DD} - AV _{SS})/6-一同使用以监控电源AV _{DD} - AV _{SS} 。 10101 = (AV _{DD} - AV _{SS})/6-。与(AV _{DD} - AV _{SS})/6+一同使用以监控电源AV _{DD} - AV _{SS} 。 10110 = (IOV _{DD} - DGND)/6+。与(IOV _{DD} - DGND)/6-一同使用以监控IOV _{DD} - DGND。 10111 = (IOV _{DD} - DGND)/6-。与(IOV _{DD} - DGND)/6+一同使用以监控IOV _{DD} - DGND。 11000 = (ALDO - AV _{SS})/6+。与(ALDO - AV _{SS})/6-一同使用以监控模拟LDO。 11001 = (ALDO - AV _{SS})/6-。与(ALDO - AV _{SS})/6+一同使用以监控模拟LDO。 11010 = (DLDO - DGND)/6+。与(DLDO - DGND)/6-一同使用以监控数字LDO。 11011 = (DLDO - DGND)/6-。与(DLDO - DGND)/6+一同使用以监控数字LDO。 11100 = V_20MV_P。与V_20MV_M一同使用，以将20 mV p-p信号施加于ADC。 11101 = V_20MV_M。与V_20MV_P一同使用，以将20 mV p-p信号施加于ADC。 11110 = 保留。 11111 = 保留。

AD7124-8

配置寄存器

RS[5:0] = 0, 1, 1, 0, 0, 1至1, 0, 0, 0, 0, 0

上电/复位 = 0x0860

AD7124-8有8个配置寄存器：CONFIG_0至CONFIG_7。每个配置寄存器与一种设置相关联，即CONFIG_x与设置x相关联。

在配置寄存器中可以配置基准电压源、极性、基准电压缓冲器的使能或禁用。

表74列出了该寄存器位功能描述。位15是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
0 (0)				Bipolar (1)	Burnout (0)		REF_BUFPM (0)
REF_BUFPM (0)	AIN_BUFPM (1)	AIN_BUFPM (1)	REF_SEL (0)		PGA (0)		

表74. 配置寄存器位描述

位	位名称	描述																											
15:12	0	必须将这些位编程为逻辑0才能正常工作。																											
11	Bipolar	极性选择位。此位置1时，选择双极性工作模式。 此位清0时，选择单极性工作模式。																											
10:9	Burnout	这些位选择传感器开路检测电流源的幅度。 00 = 开路检测电流源关闭(默认)。 01 = 开路检测电流源开启，0.5 μA。 10 = 开路检测电流源开启，2 μA。 11 = 开路检测电流源开启，4 μA。																											
8	REF_BUFPM	REFINx(+)上的缓冲器使能。此位置1时，缓冲正基准电压输入(内部或外部)。 此位清0时，不缓冲正基准电压输入(内部或外部)。																											
7	REF_BUFPM	REFINx(-)上的缓冲器使能。此位置1时，缓冲负基准电压输入(内部或外部)。 此位清0时，不缓冲负基准电压输入(内部或外部)。																											
6	AIN_BUFPM	AINP上的缓冲器使能。此位置1时，缓冲所选的正模拟输入引脚。此位清0时，不缓冲所选的正模拟输入引脚。																											
5	AIN_BUFPM	AINM上的缓冲器使能。此位置1时，缓冲所选的负模拟输入引脚。此位清0时，不缓冲所选的负模拟输入引脚。																											
4:3	REF_SEL	基准电压源选择位。利用此配置寄存器转换任何通道时， 这些位选择要使用的基准电压源。 00 = REFIN1(+)/REFIN1(-)。 01 = REFIN2(+)/REFIN2(-)。 10 = 内部基准电压源。 11 = AV _{DD} 。																											
2:0	PGA	增益选择位。利用此配置寄存器转换任何通道时，这些位选择要使用的增益。																											
		<table border="1"> <thead> <tr> <th>PGA</th> <th>增益</th> <th>V_{REF} = 2.5 V时的输入范围(双极性模式)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>1</td> <td>±2.5 V</td> </tr> <tr> <td>001</td> <td>2</td> <td>±1.25 V</td> </tr> <tr> <td>010</td> <td>4</td> <td>±625 mV</td> </tr> <tr> <td>011</td> <td>8</td> <td>±312.5 mV</td> </tr> <tr> <td>100</td> <td>16</td> <td>±156.25 mV</td> </tr> <tr> <td>101</td> <td>32</td> <td>±78.125 mV</td> </tr> <tr> <td>110</td> <td>64</td> <td>±39.06 mV</td> </tr> <tr> <td>111</td> <td>128</td> <td>±19.53 mV</td> </tr> </tbody> </table>	PGA	增益	V _{REF} = 2.5 V时的输入范围(双极性模式)	000	1	±2.5 V	001	2	±1.25 V	010	4	±625 mV	011	8	±312.5 mV	100	16	±156.25 mV	101	32	±78.125 mV	110	64	±39.06 mV	111	128	±19.53 mV
PGA	增益	V _{REF} = 2.5 V时的输入范围(双极性模式)																											
000	1	±2.5 V																											
001	2	±1.25 V																											
010	4	±625 mV																											
011	8	±312.5 mV																											
100	16	±156.25 mV																											
101	32	±78.125 mV																											
110	64	±39.06 mV																											
111	128	±19.53 mV																											

滤波器寄存器

RS[5:0] = 1, 0, 0, 0, 0, 1至1, 0, 1, 0, 0, 0

上电/复位 = 0x060180

AD7124-8有8个滤波器寄存器：FILTER_0至FILTER_7。每个滤波器寄存器与一种设置相关联；FILTER_x与设置x相关联。在滤波器寄存器中可以设置滤波器类型和输出字速率。

表75列出了该寄存器位功能描述。位15是数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

位7	位6	位5	位4	位3	位2	位1	位0
Filter(0)			REJ60(0)	POST_FILTER(0)			SINGLE_CYCLE(0)
0(0)					FS[10:8](0)		
FS[7:0](0)							

表75. 滤波器寄存器位功能描述

位	位名称	描述																											
23:21	Filter	滤波器类型选择位。这些位选择滤波器类型。 000 = sinc ⁴ 滤波器(默认)。 001 = 保留。 010 = sinc ³ 滤波器。 011 = 保留。 100 = 使用sinc ⁴ 滤波器的快速建立滤波器。sinc ⁴ 滤波器后接一个均值模块，导致建立时间等于转换时间。在全功率和中功率模式下，以16为基数求均值；而在低功耗模式下，则是以8为基数求均值。 101 = 使用sinc ³ 滤波器的快速建立滤波器。sinc ³ 滤波器后接一个均值模块，导致建立时间等于转换时间。在全功率和中功率模式下，以16为基数求均值；而在低功耗模式下，则是以8为基数求均值。 110 = 保留。 111 = 后置滤波器使能。AD7124-8包括多个后置滤波器，可利用POST_FILTER位选择。后置滤波器具有单周期建立特性，建立时间显著优于简单的sinc ³ /sinc ⁴ 滤波器。这些滤波器提供出色的50 Hz和60 Hz抑制性能。																											
20	REJ60	此位置1时，如果sinc滤波器的第一陷波频率为50 Hz，则一阶陷波频率被置于60 Hz，从而实现50 Hz和60 Hz同时抑制。																											
19:17	POST_FILTER	后置滤波器类型选择位。这些滤波器位置1时，sinc ³ 后接一个后置滤波器，其能在具有接近零延迟的输出数据速率时提供良好的50 Hz和60 Hz抑制。																											
		<table border="1"> <thead> <tr> <th>POST_FILTER</th> <th>输出数据速率(SPS)</th> <th>50 Hz和60 Hz ± 1 Hz抑制(dB)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>保留</td> <td>不适用</td> </tr> <tr> <td>010</td> <td>保留</td> <td>不适用</td> </tr> <tr> <td>010</td> <td>27.27</td> <td>47</td> </tr> <tr> <td>011</td> <td>25</td> <td>62</td> </tr> <tr> <td>100</td> <td>保留</td> <td>不适用</td> </tr> <tr> <td>101</td> <td>20</td> <td>86</td> </tr> <tr> <td>110</td> <td>16.7</td> <td>92</td> </tr> <tr> <td>111</td> <td>保留</td> <td>不适用</td> </tr> </tbody> </table>	POST_FILTER	输出数据速率(SPS)	50 Hz和60 Hz ± 1 Hz抑制(dB)	000	保留	不适用	010	保留	不适用	010	27.27	47	011	25	62	100	保留	不适用	101	20	86	110	16.7	92	111	保留	不适用
POST_FILTER	输出数据速率(SPS)	50 Hz和60 Hz ± 1 Hz抑制(dB)																											
000	保留	不适用																											
010	保留	不适用																											
010	27.27	47																											
011	25	62																											
100	保留	不适用																											
101	20	86																											
110	16.7	92																											
111	保留	不适用																											
16	SINGLE_CYCLE	单周期转换使能位。此位置1时，AD7124-8在一个转换周期内建立，以使用作零延迟ADC。如果使能多个模拟输入通道，或者选择单次转换模式，则此位无作用。使用快速滤波器时，此位不起作用。																											
15:11	0	必须将这些位编程为逻辑0才能正常工作。																											
10:0	FS[10:0]	滤波器输出数据速率选择位。这些位设置sinc ³ 滤波器、sinc ⁴ 滤波器和快速建立滤波器的输出数据速率。此外还会影响sinc滤波器第一陷波频率的位置以及截止频率。若配合增益选择，还能决定器件的输出噪声，因而也能决定有效分辨率(参见噪声表)。FS值的范围是1到2047。																											

AD7124-8

失调寄存器

RS[5:0] = 1, 0, 1, 0, 0, 1至1, 1, 0, 0, 0, 0

上电/复位 = 0x800000

AD7124-8有8个失调寄存器：OFFSET_0至OFFSET_7。每个失调寄存器与一种设置相关联；OFFSET_x与设置x相关联。失调寄存器是24位寄存器，用来保存ADC的失调校准系数，其上电复位值为0x800000。各寄存器均为读写寄存器。这些寄存器与相关的增益寄存器一同使用，以构成寄存器对。如果用户启动内部或系统零电平校准，上电复位值将被自动覆盖。写入失调寄存器时，ADC必须处于待机模式或空闲模式。

增益寄存器

RS[5:0] = 1, 1, 0, 0, 0, 1至1, 1, 1, 0, 0, 0

上电/复位 = 0x5XXXXX

AD7124-8有8个增益寄存器：GAIN_0至GAIN_7。每个增益寄存器与一种设置相关联；GAIN_x与设置x相关联。增益寄存器是24位寄存器，用来保存ADC的满量程校准系数。AD7124-8出厂校准至1倍的增益。上电时和复位后，增益寄存器包含该工厂产生值。增益寄存器是读/写寄存器。不过，写入这些寄存器时，ADC必须处于待机模式或空闲模式。如果用户启动内部或系统满量程校准，或者写入满量程寄存器，该默认值将被自动覆盖。

